

DIALOG(R) File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

013284775 **Image available**

WPI Acc No: 2000-456710/ 200040

XRPX Acc No: N00-340734

Spacer manufacturing method for e.g. image forming apparatus includes first velocity for extending glass preform that is greater than second velocity for pulling extended glass preform

Patent Assignee: CANON KK (CANO)

Inventor: FUSHIMI M; ITO N; SAKAI K

Number of Countries: 002 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000164129	A	20000616	JP 99262674	A	19990916	200040 B
US 6517399	B1	20030211	US 99399811	A	19990921	200314
US 20030045199	A1	20030306	US 99399811	A	19990921	200320
			US 2002265232	A	20021007	

Priority Applications (No Type Date): JP 98266965 A 19980921

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 2000164129	A		33	H01J-009/24	
US 6517399	B1			H01J-009/24	
US 20030045199	A1			H01J-009/24	Div ex application US 99399811

Abstract (Basic): JP 2000164129 A

NOVELTY - A first velocity (V1) is applied during direct heating of a glass preform (501) to heater (502), such that glass preforms is extended. A second velocity (V2) pulls the extended glass preform away from the heater. Each velocity applied to the glass perform have different speeds, such that V1 not less than V2.

DETAILED DESCRIPTION - A spacer is provided between a first board, which has an image formation unit, and a second board which has an electron emitter. The heater heats the glass perform that is cutted by a cutting tool (504) to a desired length. INDEPENDENT CLAIMS are also included for the following:

- (a) image forming apparatus manufacturing method;
- (b) and spacer manufacturing apparatus.

USE - For e.g. image forming apparatus.

ADVANTAGE - Eliminates use of vacuum decompression device by providing first velocity for extending glass preform that is greater than second velocity for pulling extended glass preform.

DESCRIPTION OF DRAWING(S) - The figure shows the explanatory diagram of the spacer manufacturing method.

- Glass preform (501)
- Heater (502)
- Cutting tool (504)
- First velocity (V1)
- Second velocity (V2)

1

2

3

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-164129
(P2000-164129A)

(43)公開日 平成12年6月16日(2000.6.16)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 J 9/24		H 0 1 J 9/24	A
29/87		29/87	
31/12		31/12	C

審査請求 未請求 請求項の数37 O L (全 33 頁)

(21)出願番号 特願平11-262674

(22)出願日 平成11年9月16日(1999.9.16)

(31)優先権主張番号 特願平10-266965

(32)優先日 平成10年9月21日(1998.9.21)

(33)優先権主張国 日本 (J P)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 伊藤 靖浩

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 伏見 正弘

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 酒井 邦裕

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100076428

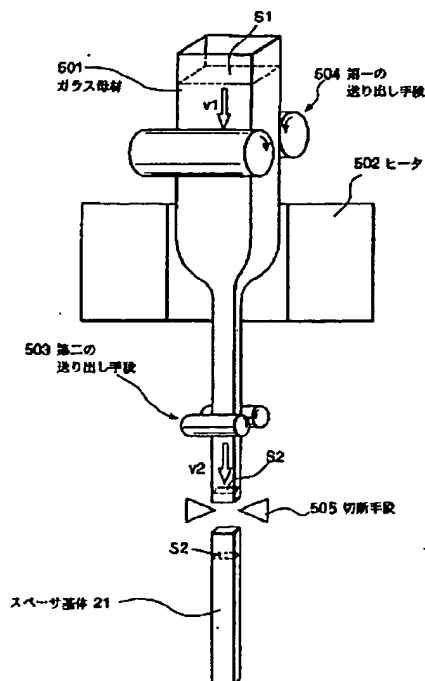
弁理士 大塚 康徳 (外2名)

(54)【発明の名称】 スペースの製造方法および前記スペースを用いた画像形成装置の製造方法並びにスペースの製造装置

(57)【要約】

【課題】 真空減圧装置を必要とせずに、低抵抗膜（電極）を付与したスペースを容易に、かつ安価に作成する。

【解決手段】 画像形成部材が配置された第一の基板と、電子放出素子が配置された第二の基板との間に配置されるスペースの製造方法であって、ガラス母材501を用意し、そのガラス母材501の一部を、ヒータ502により加熱しながら引き伸ばし、その引き伸ばしたガラス母材501を、切断手段504により所望の長さに切断する。更に、引き伸ばす際には、そのガラス母材501をヒータ502に向けて速度v1で送り、そのヒータ502で加熱されたガラス母材501を、ヒータ502から遠ざける方向に速度v2で引っ張る。ここで速度v1と速度v2のそれぞれの速さが異なるとともに、 $v1 < v2$ の関係を満たしている。



【特許請求の範囲】

【請求項1】 画像形成部材が配置された第一の基板と、電子放出素子が配置された第二の基板との間に配置されるスペーサの製造方法であって、ガラス母材を用意するステップと、前記ガラス母材の一部をヒータにより加熱しながら引き伸ばすステップと、引き伸ばしたガラス母材を所望の長さに切断する切断ステップとを有し、前記引き伸ばすステップでは、前記ガラス母材を前記ヒータに向けて速度 v_1 で送り、前記ヒータで加熱されたガラス母材を当該ヒータから遠ざける方向に速度 v_2 で引っ張り、前記速度 v_1 と速度 v_2 との関係が $v_1 < v_2$ であることを特徴とするスペーサの製造方法。

【請求項2】 前記速度 v_1 と v_2 のそれぞれの方向が実質的に等しいことを特徴とする請求項1に記載のスペーサの製造方法。

【請求項3】 前記切断ステップは、前記加熱の後に前記ガラス母材が冷却された状態で行なわれることを特徴とする請求項1に記載のスペーサの製造方法。

【請求項4】 前記速度 v_1 と v_2 の方向に対して実質的に垂直な面における、前記ガラス母材の断面の面積を S_1 、前記引き伸ばされたガラス母材の断面の面積を S_2 とした時に、 $S_2/S_1 = v_1/v_2$

の関係を満たすことを特徴とする請求項2に記載のスペーサの製造方法。

【請求項5】 前記ガラス母材の断面と、前記引き伸ばされたガラス母材の断面とが相似形であることを特徴とする請求項2又は4に記載のスペーサの製造方法。

【請求項6】 前記 v_2 と v_1 との比(v_1/v_2)は、 $1/10$ 以上 $1/10000$ 以下であることを特徴とする請求項1乃至5のいずれか1項に記載のスペーサの製造方法。

【請求項7】 前記 v_2 と v_1 との比(v_1/v_2)は、 $1/100$ 以上 $1/10000$ 以下であることを特徴とする請求項1乃至5のいずれか1項に記載のスペーサの製造方法。

【請求項8】 前記切断ステップで作成したスペーサ基体の端部に、導電性材料が分散または溶解した液体を塗布する塗布ステップと、前記スペーサ基体に塗布された液体を加熱し、該スペーサ基体の端部に電極を形成するステップと、を更に有することを特徴とする請求項1乃至7のいずれか1項に記載のスペーサの製造方法。

【請求項9】 前記塗布ステップでは、前記切断ステップで作成したスペーサ基体の端部を導電性材料が分散又は溶解した液体に浸漬させ、該スペーサ基体の端部に前記液体を付与することを特徴とする請求項8に記載のスペーサの製造方法。

【請求項10】 前記導電性材料が分散又は溶解した液体は、その粘度が 10cps 以上であることを特徴とする請求項9に記載のスペーサの製造方法。

【請求項11】 前記導電性材料が分散又は溶解した液体は、その粘度が 100cps 以上であることを特徴とする請求項9に記載のスペーサの製造方法。

【請求項12】 前記導電性材料が分散又は溶解した液体は、その粘度が 1000cps 以上であることを特徴とする請求項9に記載のスペーサの製造方法。

【請求項13】 前記切断ステップで作成したスペーサ基体の表面に、前記電極よりも高抵抗な膜を形成するステップを更に有することを特徴とする請求項8に記載のスペーサの製造方法。

【請求項14】 画像形成部材が配置された第一の基板と、電子放出素子が配置された第二の基板と、該第一および第二の基板との間に配置したスペーサとを有する画像形成装置の製造方法であって、

ガラス母材を用意するステップと、前記ガラス母材の一部をヒータにより加熱しながら引き伸ばすステップと、

前記引き伸ばしたガラス母材を、所望の長さに切断しスペーサ基体とする切断ステップと、

前記スペーサ基体の端部に導電性材料を含有する液体を塗布する塗布ステップと、

前記スペーサ基体に塗布された液体を加熱し、該スペーサ基体の端部に電極を形成するステップと、

前記スペーサ基体に形成された電極を前記第一の基板または第二の基板に当接させるステップとを有し、

前記引き伸ばすステップは、前記ガラス母材を前記ヒータに向けて速度 v_1 で送り、前記ヒータで加熱されたガラス母材を当該ヒータから遠ざける方向に速度 v_2 で引っ張り、前記速度 v_1 と v_2 のそれぞれは $v_1 < v_2$ の関係を満たすことを特徴とする画像形成装置の製造方法。

【請求項15】 前記速度 v_1 と v_2 のそれぞれの方向が実質的に等しいことを特徴とする請求項14に記載の画像形成装置の製造方法。

【請求項16】 前記切断ステップは、前記加熱の後にガラス母材が冷却された状態で行われることを特徴とする請求項14に記載の画像形成装置の製造方法。

【請求項17】 前記速度 v_1 と v_2 の方向に対して実質的に垂直な面における、前記ガラス母材の断面の面積を S_1 、前記引き伸ばされたガラス母材の断面の面積を S_2 とした時に、 $S_2/S_1 = v_1/v_2$

の関係を満たすことを特徴とする請求項15に記載の画像形成装置の製造方法。

【請求項18】 前記ガラス母材の断面と、前記引き伸ばされたガラス母材の断面とが相似形であることを特徴とする請求項15又は17に記載の画像形成装置の製造方法。

【請求項19】 前記速度 v_2 と v_1 との比(v_1/v_2)は、 $1/10$ 以上 $1/10000$ 以下であることを特徴とする請求項14乃至18のいずれか1項に記載の画像形成装置の製造方法。

【請求項20】 前記速度 v_2 と v_1 との比(v_1/v_2)は、 $1/100$ 以上 $1/10000$ 以下であることを特徴とする請求項14乃至18のいずれか1項に記載の画像形成装置の製造方法。

【請求項21】 前記切断ステップで作成したスペーサ基体の端部に導電性材料が分散または溶解した液体を塗布するステップと、
前記スペーサ基体に塗布された液体を加熱し、該スペーサ基体の端部に電極を形成するステップと、を更に有することを特徴とする請求項14乃至20のいずれか1項に記載の画像形成装置の製造方法。

【請求項22】 前記塗布ステップでは、
前記切断ステップで作成したスペーサ基体の端部を、前記導電性材料が分散又は溶解した液体に浸漬させ、該スペーサ基体の端部に前記液体を付与することを特徴とする請求項21に記載の画像形成装置の製造方法。

【請求項23】 前記導電性材料が分散又は溶解した液体は、その粘度が 10cps 以上であることを特徴とする請求項22に記載の画像形成装置の製造方法。

【請求項24】 前記導電性材料が分散又は溶解した液体は、その粘度が 100cps 以上であることを特徴とする請求項22に記載の画像形成装置の製造方法。

【請求項25】 前記導電性材料が分散又は溶解した液体は、その粘度が 1000cps 以上であることを特徴とする請求項22に記載の画像形成装置の製造方法。

【請求項26】 前記切断ステップで作成したスペーサ基体の表面に、前記電極よりも高抵抗な膜を形成するステップを更に有することを特徴とする請求項21に記載の画像形成装置の製造方法。

【請求項27】 画像形成部材が配置された第一の基板と、電子放出素子が配置された第二の基板と、該第一および第二の基板との間に配置したスペーサとを有する画像形成装置の製造方法であって、

スペーサ母材を用意するステップと、
前記スペーサ母材の角部を平面状あるいは円弧状に加工し、スペーサ基体を形成するステップと、
前記テーパ状あるいは円弧状の部分を含むスペーサ基体の端部に、導電性材料が分散又は溶解した液体を塗布する塗布ステップと、
前記スペーサ基体に塗布された液体を加熱し、該スペーサ基体の端部に電極を形成するステップと、
前記スペーサ基体に形成された電極を前記第一の基板または第二の基板に当接させるステップと、を有することを特徴とする画像形成装置の製造方法。

【請求項28】 画像形成部材が配置された第一の基板と、電子放出素子が配置された第二の基板と、該第一お

よび第二の基板との間に配置したスペーサとを有する画像形成装置の製造方法であって、

スペーサ母材を用意するステップと、
前記スペーサ母材の端部をテーパ状あるいは円弧状に加工し、スペーサ基体を形成するステップと、
前記テーパ状あるいは円弧状の部分を含むスペーサ基体の端部に、導電性材料が分散又は溶解した液体を塗布するステップと、
前記スペーサ基体に塗布された液体を加熱し、前記スペーサ基体の端部に電極を形成するステップと、
前記スペーサ基体に形成された電極を前記第一の基板または第二の基板に当接させるステップと、を有することを特徴とする画像形成装置の製造方法。

【請求項29】 前記電極が形成されたスペーサ基体の端部を、前記第一の基板または第二の基板と実質的に平行な面で切った時の断面におけるスペーサ基体の厚みを t とし、

前記電極が形成されたスペーサ基体の端部を、前記第一の基板または第二の基板と実質的に垂直な面で切った時の断面において、前記電極が被覆しているスペーサ基体の表面の長さを s 、前記第一の基板または第二の基板からの前記電極の高さを h とした時に、

$$(t + 4 \times h^2) < s^2 < (t + 2h)^2$$

を満たすことを特徴とする請求項27又は28に記載の画像形成装置の製造方法。

【請求項30】 前記導電性材料が分散又は溶解した液体は、その粘度が 10cps 以上であることを特徴とする請求項27又は28に記載の画像形成装置の製造方法。

【請求項31】 前記導電性材料が分散又は溶解した液体は、その粘度が 100cps 以上であることを特徴とする請求項27又は28に記載の画像形成装置の製造方法。

【請求項32】 前記導電性材料が分散又は溶解した液体は、その粘度が 1000cps 以上であることを特徴とする請求項27又は28に記載の画像形成装置の製造方法。

【請求項33】 前記スペーサ基体の表面に前記電極よりも高抵抗な膜を形成するステップを更に有することを特徴とする請求項27乃至32のいずれか1項に記載の画像形成装置の製造方法。

【請求項34】 画像形成部材が配置された第一の基板と、電子放出素子が配置された第二の基板との間に配置されるスペーサの製造装置であって、
ガラス母材を加熱するための加熱手段と、
前記ガラス母材を前記加熱手段に送る第一の送り手段と、
前記ガラス母材を前記加熱手段から引き出す第二の送り手段とを有し、

前記第一の送り手段と第二の送り手段との間に前記加熱

手段が置かれることを特徴とするスペーサの製造装置。

【請求項35】 前記第一及び、又は第二の送り手段は、前記ガラス母材を挟持することを特徴とする請求項34に記載のスペーサの製造装置。

【請求項36】 前記第一及び第二の送り手段は、前記ガラス母材に接触しながら回転する回転体を含むことを特徴とする請求項34又は35に記載のスペーサの製造装置。

【請求項37】 前記第二の送り手段から引き出された前記ガラス母材を切断する手段を更に有することを特徴とする請求項34に記載のスペーサの製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一対の基板間を支持するスペーサの製造方法および、前記スペーサを用いた画像形成装置の製造方法並びにスペーサの製造装置に関するものである。

【0002】

【従来の技術】 従来から、電子放出素子として熱陰極素子と冷陰極素子の2種類が知られている。このうち冷陰極素子では、例えば表面伝導型放出素子や、電界放出型素子（以下FE型と記す）や、金属/絶縁層/金属型放出素子（以下MIM型と記す）、などが知られている。

【0003】 表面伝導型放出素子としては、例えば、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290, (1965) や、後述する他の例が知られている。

【0004】 表面伝導型放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。この表面伝導型放出素子としては、前記エリンソン等によるSnO₂薄膜を用いたものの他に、Au薄膜によるもの[G. Dittmer: "Thin Solid Films", 9, 317(1972)] や、In₂O₃/SnO₂薄膜によるもの[M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519(1975)] や、カーボン薄膜によるもの[荒木久 他: 真空、第26巻、第1号、22(1983)] 等が報告されている。

【0005】 これらの表面伝導型放出素子の素子構成の典型的な例として、図20に前述のM. Hartwellらによる素子の平面図を示す。同図において、3001は基板で、3004はスパッタで形成された金属酸化物よりなる導電性薄膜である。導電性薄膜3004は図示のようにH字形の平面形状に形成されている。この導電性薄膜3004に、後述の通電フォーミングと呼ばれる通電処理を施すことにより、電子放出部3005が形成される。図中の間隔Lは、0.5～1[mm]、幅Wは、0.1[mm]に設定されている。尚、図示の便宜から、電子放出部3005は導電性薄膜3004の中央に矩形状で示したが、これは模式的なものであり、実際の電子放出部の位置や形状を忠実に表現しているわけではない。

【0006】 M. Hartwellらによる素子をはじめとして上述の表面伝導型放出素子においては、電子放出を行う前に導電性薄膜3004に通電フォーミングと呼ばれる通電処理を施すことにより電子放出部3005を形成するのが一般的であった。即ち、通電フォーミングとは、導電性薄膜3004の両端に一定の直流電圧、もしくは、例えば1V/分程度の非常にゆっくりとしたレートで昇圧する直流電圧を印加して通電し、導電性薄膜3004を局所的に破壊もしくは変形もしくは変質せしめ、電気的に高抵抗な状態の電子放出部3005を形成することである。尚、局所的に破壊もしくは変形もしくは変質した導電性薄膜3004の一部には亀裂が発生する。この通電フォーミング後に導電性薄膜3004に適宜の電圧を印加した場合には、亀裂付近において電子放出が行われる。

【0007】 FE型の例としては、例えば、W. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89 (1956) や、或は、C. A. Spindt, "Physical properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976) などが知られている。

【0008】 このFE型の素子構成の典型的な例として、図21に前述のC. A. Spindtらによる素子の断面図を示す。同図において、3010は基板で、3011は導電材料よりなるエミッタ配線、3012はエミッタコーン、3013は絶縁層、3014はゲート電極である。本素子は、エミッタコーン3012とゲート電極3014の間に適宜の電圧を印加することにより、エミッタコーン3012の先端部より電界放出を起こさせるものである。

【0009】 また、FE型の他の素子構成として、図21のような積層構造ではなく、基板上に基板平面とはほぼ平行にエミッタとゲート電極を配置した例もある。

【0010】 また、MIM型の例としては、例えば、C. A. Mead, "Operation of tunnel-emission Devices", J. Appl. Phys., 32, 646 (1961) などが知られている。

【0011】 MIM型の素子構成の典型的な例を図22に示す。同図は断面図であり、図において、3020は基板で、3021は金属よりなる下電極、3022は厚さ100オングストローム程度の薄い絶縁層、3023は厚さ80～300オングストローム程度の金属よりなる上電極である。MIM型においては、上電極3023と下電極3021の間に適宜の電圧を印加することにより、上電極3023の表面より電子放出を起こさせるものである。

【0012】 上述の冷陰極素子は、熱陰極素子と比較して低温で電子放出を得ることができるため、加熱用ヒータを必要としない。従って、熱陰極素子よりも構造が単純であり、微細な素子を作成可能である。また、基板上に多数の素子を高い密度で配置しても、基板の熱溶融な

どの問題が発生しにくい。また、熱陰極素子がヒータの加熱により動作するため応答速度が遅いのは異なり、冷陰極素子の場合には応答速度が速いという利点もある。

【0013】このため、冷陰極素子を応用するための研究が盛んに行われてきている。

【0014】例えば、表面伝導型放出素子は、冷陰極素子の中でも特に構造が単純で製造も容易であることから、大面積にわたり多数の素子を形成できる利点がある。そこで、例えば本願出願人による特開昭64-31332号公報において開示されるように、多数の素子を配列して駆動するための方法が研究されている。

【0015】また、表面伝導型放出素子の応用については、例えば画像表示装置（ディスプレイ）、画像記録装置などの画像形成装置や、荷電ビーム源等が研究されている。

【0016】特に、画像表示装置への応用としては、例えば本願出願人による米国特許5,066,883号や特開平2-257551号公報や特開平4-28137号公報において開示されているように、表面伝導型放出素子と電子との衝突により発光する蛍光体とを組み合わせ用いた画像表示装置が研究されている。表面伝導型放出素子と蛍光体とを組み合わせ用いた画像表示装置は、従来の他の方式の画像表示装置よりも優れた特性が期待されている。例えば、近年普及してきた液晶表示装置と比較しても自発光型であるためバックライトを必要としない点や、視野角が広い点が優れているといえる。

【0017】また、FE型を多数個ならべて駆動する方法は、例えば本願出願人による米国特許4,904,895号に開示されている。また、FE型を画像表示装置に応用した例として、例えば、R.Mayerらにより報告された平板型の画像表示装置が知られている。[R.Mayer: "Recent Development on Microtips Display at LET I", Tech. Digest of 4th Int. Vacuum Microelectronics Conf., Nagahama, pp.6~9(1991)] また、MIM型を多数個並べて画像表示装置に応用した例は、例えば本願出願人による特開平3-55738号公報に開示されている。上記のような電子放出素子を用いた画像形成装置のうちで、奥行きが薄い平面型画像表示装置は省スペースかつ軽量であることから、ブラウン管型の画像表示装置に置き換わるものとして注目されている。

【0018】そして、上記のような電子放出素子をマトリクス状に配設した電子源を気密容器内に収容した平面型の画像表示装置（フラットパネルディスプレイ）が提案されている。この気密容器は、蛍光体が配置されたフェースプレートと、電子源が配置されたリアプレートとを対向させ、周囲をシールすることにより構成される。そして、気密容器の内部は10のマイナス6乗(torr)程度の真空中に保持される。従って、この画像表示装置の表示面積が大きくなるに従って、この気密容器内部と外部

の気圧差によるリアプレート及びフェースプレートの変形、或は破壊を防止するための手段が必要となる。そこで従来は、比較的薄いガラス板からなる大気圧に耐えるための構造支持体（スペーサ或はリブと呼ばれる）が、前述のリアプレートとフェースプレートとの間に設けられている。

【0019】画像形成装置を構成する一対の基板間に配するスペーサの製造方法としては、例えば米国特許第4923421号、米国特許第5063327号、米国特許第5205770号、米国特許第5232549号、米国特許第5486126号、米国特許第5509840号、米国特許第5721050号、欧州公開第0725416号、欧州公開第0725417号、欧州公開第0725418号、欧州公開第0725419号等々に開示されている。

【0020】

【発明が解決しようとする課題】しかしながら、以上説明したスペーサを用いた画像形成装置、フラットパネルディスプレイなどにおいては、以下のような問題点があった。

【0021】第1に、スペーサ近傍の電子放出素子から放出された電子の一部がスペーサに当たることにより、或は放出された電子の作用によりイオン化したイオンがスペーサに付着することにより、スペーサの帯電を引き起こす可能性がある。このスペーサの帯電により電子放出素子から放出された電子はその軌道を曲げられ、フェースプレートに設けられた蛍光体上の正規な位置とは異なる場所に到達し、スペーサ近傍の画像がゆがんで表示されてしまう。

【0022】第2に、電子放出素子から放出された電子を加速するために、リアプレートとフェースプレートとの間には数百V以上の高電圧： V_a （例えば、1kV/mm以上の高電界）が印加されるため、スペーサの表面での沿面放電が惹起される。特に上記のようにスペーサが帯電している場合は、放電が誘発される可能性がある。

【0023】これらの問題点を解決するために、スペーサに微小電流が流れるようにして帯電を除去する提案がなされている（特開昭57-118355号公報、特開昭61-124031号公報）。そこでは絶縁性のスペーサ基体の表面に高抵抗膜を形成することによりスペーサ表面に微小電流が流れるようにしている。ここで用いられている高抵抗膜は酸化スズ、或は酸化スズと酸化インジウム混晶薄膜や金属膜である。

【0024】しかし、画像の種類によっては、電子放出のデューティの大きい場合、上記高抵抗膜による帯電を除去する方法だけでは画像のゆがみの低減が不十分であることがあった。この問題は、高抵抗膜と上下基板、即ち、フェースプレート（以下FP）およびリアプレート（以下RP）との間の電氣的接合が不十分であり、その

接合部付近に帯電が集中することが要因として考えられる。

【0025】この点を解決するために、図23に示すように、絶縁性のスペーサ基体21の、フェースプレート17及び或はリアプレート11と当接する端面および側面に、前記高抵抗膜22よりも低抵抗な膜（電極）25を配置することが提案されている。これにより、上下基板17、11と、高抵抗膜22との電気的コンタクトを確保することができる。図23には、上記構成のうち、フェースプレート17およびリアプレート11と当接する端面および該端面に接する側面に、前記低抵抗膜（電極）25を配置した例を示した。また、図23はリアプレート11の平面に対して垂直方向の断面のうち、スペーサを含む平面で切断した時の断面図である。

【0026】一方、高抵抗膜22を施さずに、前記Vaを低く設定したり、絶縁性のスペーサ基体21の側面の形状を制御することにより、絶縁体が真空中に露出したスペーサにおいても、上記第一および第二の問題は、抑制することができる場合もある。しかし、この場合においても、絶縁性スペーサ基体21の端面の電位が定まっていなかった場合には、放出された電子の軌道を変動させる場合がある。そのため、図27に示すように、絶縁体のスペーサ21をフェースプレート17とリアプレート11との間に配置する場合においても、すくなくともスペーサ21の一方の端面には、電極（低抵抗膜）25を配置することが必要となる。

【0027】尚、図23のスペーサ基体21が平板状であった場合のA-A断面を模式的に図24に示す。また、図23、図27の円で囲ったスペーサ20のRP側端部Bを拡大した模式図を図25に示す。尚、図25においては、説明の簡略化のために、高抵抗膜をスペーサ基体21の表面に施していない場合を示している。また、図26は、スペーサ基体21が平板状であった時の、スペーサ基体21の斜視図を模式的に示したものである。また、図31は、スペーサ基体21が円柱状であった場合の斜視図を示している。スペーサ基体が円柱状であった場合には、円柱の直径Rが、平板状のスペーサ基体の長さLおよび厚みDに相当する。

【0028】尚、本願では、「スペーサ」という言葉と、「スペーサ基体」という言葉を使い分けている。図23などに示すように、表面に何らかの被膜（例えば前述の高抵抗膜22や低抵抗膜25）が施されるものを「スペーサ基体」と呼ぶ。一方、「スペーサ」とはフェースプレート17とリアプレート11との間を支持するために配置される部材の総称であり、少なくとも、前記スペーサ基体と前記低抵抗膜（電極）とを有する。

【0029】スペーサの端面に金属、又は導電率の高い材料を形成することが、特開平8-180821号公報、米国特許第5561343号（IBM：96/10/1登録）、米国特許第5614781号、米国特許第5675212号、米国特許第57

46635号、米国特許第5742117号、米国特許第5777432号、国際公開W094/18694A、国際公開W096/30926A、国際公開W098/02899A、国際公開W098/03986A、国際公開W098/28774A、などに開示されている。

【0030】上記した公報には、スペーサの端面に金属、又は導電率の高い材料を形成する方法として、スパッタ成膜、抵抗加熱蒸着、塗布、ディッピング、印刷等の様々な手法によるものが開示されている。

【0031】上記形成方法の中でも、塗布、ディッピング、印刷などのように、液体をスペーサ基体に付与し焼成する手法（液相形成法）は、簡便で安価に上記低抵抗膜（電極）25を形成できるので好ましい。

【0032】しかしながら、上記低抵抗膜（電極）25を前述したスペーサ基体21に形成する際に、上記液相形成法を単に用いた場合には、以下に示す問題が生じる場合があった。

【0033】即ち、上記液相形成法を用いると、低抵抗膜（電極）25の成膜状態には、スペーサ基体21の表面形状に対する依存性が顕著に現れてしまう。

【0034】特に、スペーサ基体21の形状が、図26や図31に示した様に、角部がほぼ直角であった場合には、上記角部での低抵抗膜（電極）25の形成が不十分になる場合があった。具体的に言えば、成膜時に、前記角部で、低抵抗膜（電極）25の膜厚が薄くなり、その結果、高抵抗膜の一部、或は絶縁体のスペーサ基体21が露出してしまう場合があった。その結果、スペーサとRP及び又はFPとの当接部近傍での電子軌道が、所望の軌道からずれてしまう場合があった。

【0035】本発明は上記課題に鑑みてなされたもので、上述した問題が生じないような、スペーサ基体の構造、該スペーサ基体の製造方法、スペーサ基体への低抵抗膜（電極）の形成方法、スペーサ基体の製造装置及び記スペーサを用いた画像形成装置の製造方法を提供することを目的とする。

【0036】

【課題を解決するための手段】上記目的を達成するために本発明のスペーサの製造方法は以下のような工程を備える。即ち、画像形成部材が配置された第一の基板と、電子放出素子が配置された第二の基板との間に配置されるスペーサの製造方法であって、ガラス母材を用意するステップと、前記ガラス母材の一部を、ヒータにより加熱しながら引き伸ばすステップと、前記引き伸ばしたガラス母材を、所望の長さに切断する切断ステップとを有し、更に、前記引き伸ばすステップは、前記ガラス母材をヒータに向けて速度v1で送り、前記ヒータで加熱されたガラス母材をそのヒータから遠ざける方向に速度v2で引っ張るステップを有しており、そして、前記速度v1とv2のそれぞれの速さが異なるとともに、 $v1 < v2$ の関係を満たすことを特徴とする。

【0037】この製造方法によれば、角部が円弧状のス

ペーサ基体を、簡易で、安価に、そして大量に形成することができる。

【0038】また、さらには、本発明の別の態様としては、画像形成部材が配置された第一の基板と、電子放出素子が配置された第二の基板と、該第一および第二の基板との間に配置したスペーサとを有する画像形成装置の製造方法であって、スペーサ母材を用意するステップと、前記スペーサ母材の角部を平面状あるいは円弧状に加工し、スペーサ基体を形成するステップと、前記テーパー状あるいは円弧状の部分を含むスペーサ基体の端部に、導電性材料が分散または溶解した液体を塗布するステップと、前記スペーサ基体に塗布された液体を加熱し、該スペーサ基体の端部に電極を形成するステップと、前記スペーサ基体に形成された電極を前記第一の基板または第二の基板に当接させるステップとを有することを特徴とする。

【0039】また、更に本発明の別の態様としては、画像形成部材が配置された第一の基板と、電子放出素子が配置された第二の基板と、該第一および第二の基板との間に配置したスペーサとを有する画像形成装置の製造方法であって、スペーサ母材を用意するステップと、前記スペーサ母材の端部をテーパー状あるいは円弧状に加工し、スペーサ基体を形成するステップと、前記テーパー状あるいは円弧状の部分を含むスペーサ基体の端部に、導電性材料が分散又は溶解した液体を塗布するステップと、前記スペーサ基体に塗布された液体を加熱し、前記スペーサ基体の端部に電極を形成するステップと、前記スペーサ基体に形成された電極を前記第一の基板又は第二の基板に当接させるステップとを有することを特徴とする。

【0040】これらの製造方法によれば、液相形成法によって、スペーサ基体の端部への低抵抗膜の形成が良好に行える。その結果、電子放出素子から放出された電子の軌道が安定で、放電などが抑制された良好な画像を長時間表示可能な画像形成装置を得ることができる。

【0041】また、さらには、本発明の別の態様としては、画像形成部材が配置された第一の基板と、電子放出素子が配置された第二の基板との間に配置されるスペーサの製造装置であって、ガラス母材を加熱するための加熱手段と、前記ガラス母材を前記加熱手段に送る、第一の送り手段と、前記ガラス母材を前記加熱手段から引き出す、第二の送り手段とを有しており、前記第一の送り手段と第二の送り手段との間に、前記加熱手段が配されることを特徴とする。

【0042】このスペーサ製造装置によれば、高精度に、微細な曲率半径を有する円弧状の角部を有するスペーサを安価に、大量に形成することができる。

【0043】

【発明の実施の形態】以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。

【0044】本実施の形態では、図25に示した様にスペーサ基体21の端面と側面に低抵抗膜（電極）25を液相形成法を用いて形成する。

【0045】本実施の形態に係る低抵抗膜（電極）25は、その抵抗値として、 $10 \times 7 \text{ 乗} [\Omega / \square]$ 以下であることが望ましい。

【0046】そして、本実施の形態によれば、液相形成法において、更に、以下の①およびまたは②の態様を採用することにより、スペーサ基体21の端面および側面に形成する低抵抗膜（電極）間の良好な膜の連続性を確保することができる。

【0047】即ち、

① スペーサ基体として、FP及び又はRPと当接する端部が円弧状或はテーパー状であるものを用いる。

② 液相形成法として、後述する浸漬転写法（ディッピング）を用いる際に、導電性材料を含有する液体として、その粘度が10cps以上であるものを用いる。

【0048】尚、本実施の形態において、液相形成法とは、前記低抵抗膜25を構成する導電性材料が分散または溶解した液体をスペーサ基体21の端部（端面および側面）に塗布し、加熱焼成することで低抵抗膜（電極）とする工程を指す。

【0049】まず、上記①の態様について、以下に説明する。

【0050】前述したように、図25や図26及び図31などに示した、角が直角又は鋭角なスペーサ基体21の端部に、液相形成法を用いて低抵抗膜（電極）25を形成すると、上記角部での低抵抗膜25の形成が不十分になる場合があった。

【0051】そこで、本願発明者らは鋭意努力の末、この角部を図3(a)～(d)などにその断面図を示すように、鈍角なものとするすることで、前述した課題が解決されることを見出した。

【0052】図3は、本実施の形態に好適なスペーサ基体21の端部（図3(a)～(d)）及び、上記スペーサ端部に低抵抗膜（電極）25を被膜した状態を示す模式図（図3(e)～(h)）である。尚、図3におけるスペーサ端部も、図25に示したスペーサの端部と同様にリアプレート（あるいはフェースプレート）平面に対して垂直方向に切った断面のうち、スペーサを含む平面で切断した時の断面図である。また、スペーサ基体が、図26に示した様に平板状である場合には、図3、図4、図23、図25及び図27における断面図は、スペーサ基体の厚みがD（最小）である箇所での断面図を指す。さらには、スペーサ基体21が、図31の様に柱状である場合には、スペーサ基体21の端面の中心を含む平面で切断した時の断面図に相当する。

【0053】上記①の要件を換言すれば、スペーサ基体21の表面積のうちの、低抵抗膜（電極）25で被覆された部分の表面積を、角がほぼ直角なスペーサ基体21

(図25や図26など)よりも、小さくすることにより解決される。また、さらに、スペーサの組み立て精度を確保する観点、及び、FP17および或いはRP11と低抵抗膜(電極)25との電気的接続を確実にする観点からは、スペーサ基体の端面(FPまたはRPの平面に

$$(t^2 + 4 \times h^2) < s^2 < (t + 2h)^2 \quad \dots \text{式(1)}$$

である。ここで「²」は、2乗を示しており、例えば「 t^2 」は t の2乗を示している。また、 t 、 s 、 h のそれぞれは、

t : 上記したスペーサ基体の断面図(図4)において、スペーサ基体21のうち、低抵抗膜25が被覆されている部分の厚さの最大値である。尚、この厚さとは、FPまたはRPと略平行な面でスペーサ基体を切断した際の断面における最小の間隔である。

【0056】 h : 上記したスペーサ基体の断面図(図4)において、低抵抗膜25の高さに近似される。より厳密には、スペーサ基体21の端面から、リアプレート(またはフェースプレート)平面に対して垂直方向における低抵抗膜25の長さ(=高さ)である。

【0057】 s : 低抵抗膜25の断面内周長を意味する。これは、上記した断面図(図4)において、低抵抗膜25が形成された部分における、スペーサ基体21の表面の長さである。

【0058】上記した要件を満たす端部形状を得るための具体的な手法としては、如何なる手段を用いてもよい。

【0059】一例としては、図26に示したような平板状のスペーサ基体21を用いる場合には、まず、スペーサ基体と同一の厚み: D をもつ、図28に示すようなガラス板(母材)281から、スペーサ基体の母材(以下「スペーサ母材」と呼ぶ)282をダイヤモンドカッターなどで切断することで切り出す。上記切り出しにより、図26と同様に厚み D 、高さ H 、長さ L のスペーサ母材282が得られる。

【0060】そして、スペーサ母材282の角に対して、図3(a)～(d)に示した様な端部処理を行う。この端部処理は、具体的には、円弧状にする処理(図3(d))、又はテーパ状(角を平面状)にする処理(図3(a)～(c))によりスペーサ母材の角部から鋭角な部分を除去する処理である。このように端部処理を行うことで、スペーサ母材の角部が鈍角なものになる。この端部処理の具体的な手段としては、サンドブラスト、レーザースクライプ、ウォーターブラスト、スクライプカット、研磨、弗酸等によるケミカルエッチング処理等を用いることができる。

【0061】スペーサ母材282の角の円弧状処理(図3(d))において、曲率半径 r の範囲は、スペーサ母材282の厚み D に対して、 $D/2$ 以下が好ましい。更に、好ましくは、上記曲率半径 r は、 $(D \times 1/10 \sim 0)$ 以上であれば、低抵抗膜(電極)25の連続性と、

対して略平行な面)の面積を確保する必要がある。

【0054】以上の要件から、スペーサ基体21の端部の形状としては以下の式(1)を満足することが望ましい。

【0055】即ち、

スペーサの組み立て精度を満足することが可能となる。上記 D は、好ましくは、 $10\mu\text{m}$ から $500\mu\text{m}$ であり、更には $20\mu\text{m}$ から $200\mu\text{m}$ がより好ましい。従って、上記曲率半径 r は、 $0.1\mu\text{m}$ 以上 $250\mu\text{m}$ 以下が好ましく、更には、 $0.2\mu\text{m}$ 以上 $100\mu\text{m}$ 以下がより好ましい。

【0062】尚、図3(a)～(d)は、本発明の実施の形態に適用可能なスペーサの断面形状の一例を示す図である。図3(a)、(b)は、スペーサ母材282の角を1方向に面取りした形状を示している。また、図3(c)は2方向に面取りした形状を示し、図3(d)は円弧状にした場合を示している。更に図3(e)～

(h)のそれぞれは、図3(a)～(d)のそれぞれに対応して形成された低抵抗膜(電極)25の一例を示している。

【0063】また、材料がガラスであり、図26に示したような平板状であり、かつ、端部が図3(d)のようなスペーサ基体21を形成する場合には、図28に示した切り出しによる方法よりも、後述する加熱延伸法が好ましく適用される。このような加熱延伸法によれば、上記したスペーサ母材282の作成と端面処理(角部が上記曲率を有するような形状への加工)が同時に行える。

【0064】加熱延伸法の一例を、図5および、図30に示す装置を用いて以下に説明する(工程AからC)。図30は、図5の装置をより具体的に示したものである。

(工程A) まず、ガラス板(母材)501を用意する。このとき、最終的に得ようとするスペーサ基体21の断面積を S_2 、ガラス板(母材)501の断面積を S_1 とした場合に、 S_1 、 S_2 は、 $(S_2/S_1) < 1$ を満たす。

【0065】尚、上記「断面」とは、図30における速度 v_1 又は v_2 の方向成分に対して垂直な平面で、ガラス板(母材)501及びスペーサ基体21を切ったときの断面を指す。

(工程B) 次に、上記工程Aで用意したガラス板(母材)501の両端を固定し、その長手方向の一部を加熱手段(ヒータ)502により加熱するとともに、一方の端部をヒータ502方向に速度 v_1 で、第一の送り手段(例えばローラ)504により加熱手段に向けて送り出す。同時に、もう一方の端部を、速度 v_2 で、第二の送り手段(例えば延伸ローラ)503により加熱手段502からガラス板(母材)501を引き出す。この第一の送り手段504、加熱手段(ヒータ)502と第二の送

り手段503により、ガラス板（母材）501が加熱されながら引き伸ばされる。尚、速度 v_2 の方向は、速度 v_1 の方向と実質的に同一である。このため、速度 v_1 及び v_2 は、速さと考えて問題がない。そして、このとき、これら速度 v_1 、 v_2 は、 $(S_2/S_1) = (v_1/v_2)$ を満たすものとするのが好ましい。そして、 v_2/v_1 の値は、10以上10000以下が好ましく、さらには、100以上10000以下が特に好ましい。

【0066】このときの加熱手段（ヒータ）502の加熱温度はガラスの種類、加工形状によるが、ガラス板（母材）501の軟化点以上の温度が好ましく、具体的には500〜700℃とすることが好ましい。

【0067】上記各条件を満たすことで、前述の好ましい曲率半径 r の角部をもつ断面が得られる。

【0068】また、送り手段504、503としては、ローラなどの回転体や、複数の回転体により回転するベルトを前記スペーサ基体21およびガラス板（母材）501に接触させて搬送するものが好ましい。

（工程C）次に、上記工程Bにより、延伸されたガラス板（母材）501を十分に冷却した後、引き伸ばされたガラス板（母材）501を、切断手段504により所望の長さ切断して、スペーサ基体21を作成する。上記冷却温度は簡易には、室温である。

【0069】以上の工程AからCにより、前述の好ましい曲率半径 r の角部をもつスペーサ基体21が得られる。

【0070】また、上記工程Aで用意するガラス板（母材）501の断面形状を、予め図3（d）に示した形状の端部（角）に形成しておくことが特に好ましい。このようにすれば、上記工程AからCを経ることにより、工程Aで用意されたガラス板（母材）501の断面と相似形状のスペーサ基体21が簡易に形成できる。そのため、上述した速度 v_1 と v_2 の比を適宜設定することにより、ガラス板（母材）501の曲率半径を任意に縮小したスペーサ基体21を再現性良く得ることができる。

【0071】従って、上記した加熱延伸法を用いれば、スペーサ基体21に要求される微少な曲率半径を直接加工する必要がない。換言すれば、上記曲率半径を拡大した状態で加工することができるので、簡易に、精度良くスペーサ基体21の角部の微少な曲率半径を得ることができる。

【0072】また、上記加熱延伸法においては、図30または図5に示したように、送り出し手段504、503は、図26で規定するところの、スペーサ基体21及びガラス板（母材）501の側面（長さ方向の側面）に配置することが望ましい。これは、前述の速度 v_1 或は v_2 でスペーサ基体21およびガラス板（母材）501を搬送／延伸する際に、より安定性が高く、高精度に速度制御ができるためである。また、送り出し手段504、503は、それぞれが、図30または図5に示した

ように、スペーサ基体21およびガラス板（母材）501の側面（長さ方向の側面）を挟むような一對の送り出し手段からなることが好ましい。また、送り出し手段としては、図30に示す、回転することで、スペーサ基体21およびガラス板（母材）501を搬送する手段が簡易で好ましいが、特にこれに限定されるものではない。

【0073】以上説明した、各手法により得られた、上記式（1）で規定した端面形状をもつスペーサ基体21に対して、液相形成法（例えば後述する浸漬転写法）を用いて、低抵抗膜（電極）25を形成することにより、スペーサ基体21の角を、低抵抗膜（電極）25で十分に被覆することができる。

【0074】特に、前述した加熱延伸法を用いてスペーサ基体21を作成する場合は、上記工程Cにより、所望の長さ L に切断した後に、液相形成法（例えば後述する浸漬転写法）を用いて、低抵抗膜（電極）25を形成することが望ましい。これは、液相形成法（例えば後述する浸漬転写法）を用いて、低抵抗膜（電極）25を形成しようとする際に、スペーサ基体21の取扱いが容易で簡便なためである。

【0075】尚、もちろん上記工程AからCにより、前述したスペーサ母材282を形成し、更に前述した端面処理を行うことによりスペーサ基体21を作成することもできる。

【0076】次に、前記②の方法について説明する。
②前記液相形成法の中で、下記の浸漬転写法（ディッピング）を用いる場合には、導電性材料を分散、或は溶解した液体として、その粘度が10cps以上であることが好ましい。これにより、スペーサ基体の角が低抵抗膜（電極）25で十分に被覆することができる。前記液体の粘度は、より好ましくは100cps以上、更に好ましくは1000cps以上の粘度であることが望ましい。

【0077】この方法によれば、前述したスペーサの端面処理を行わなくとも、スペーサ基体21の角がほぼ直角なものに対しても、低抵抗膜（電極）25を十分に被覆することができる。

【0078】もちろん、上記①に示した方法により作成したスペーサ基体21に、上記した浸漬転写法（ディッピング）により低抵抗膜（電極）25を形成する方法を用いることも好ましい。

【0079】ここで、本実施の形態に係る浸漬転写法（ディッピング）の一例を図2（a）〜（e）を用いて説明する。尚、図2は、スペーサ基体の側面から見た図である。即ち、本実施の形態に係る浸漬転写法（ディッピング）とは、（A）低抵抗膜25を構成する導電性材料を分散あるいは溶解した液体2002を基板2001上に展開し、塗工する工程（図2（a）、（b））と、（B）前記スペーサ基体21（図2では21に相当）の端部を、上記基板2001上に展開した液体2002に

接触させ浸漬させる工程(図2(c)、(d))と、
(C)液体2002を展開した基板2001から、前記
スペーサ基体21(図2では21に相当)を引き離し、
液体2002を転写させる工程(図2(e))と、

(D)スペーサ基体21(図2では21に相当)に転写
した液体25を加熱することで、低抵抗膜(電極)25
を形成する工程と、を有する方法である。

【0080】なお、本実施の形態においては、前記低抵
抗膜25を構成する導電性材料を分散あるいは溶解した
液体を、「塗工液」と呼ぶ場合もある。

【0081】この浸漬転写法(ディッピング)によれ
ば、簡便にスペーサ基体21の端面と側面に同時に低抵
抗膜(電極)25を形成することができる。

【0082】尚、前記浸漬転写法(ディッピング)の塗
工液の展開手段としては、バーコートもしくはドクター
ブレードによる引き延ばし展開方法、或は、スピンコ
ートによる展開方法を用いることを可能である。

【0083】また、展開される基板2001は必ずしも
平面でなく、図29に示す様に、基板291上に前記塗
工液293を溜めるための溝292が形成されていても
良い。

【0084】更には、当該塗工液にスペーサ基体21を
接触させた後、引き離す転写工程においては、スペーサ
基体21を展開面に降下させることも可能であるし、逆
にスペーサ基体21に展開液面を降下させて接触させる
ことも可能である。

【0085】以上説明した、①およびまたは②の方法を
用いることにより、簡易でかつ安価な液相形成法を用い
た際に、スペーサ基体21の角に、低抵抗膜(電極)25
を十分に被覆することができる。

【0086】一方、スペーサ基体21の側面に形成され
た低抵抗膜25の角部が図24、32(a)に示した様に
直角または鋭角になっていると、その部分に電界が集
中しやすくなる。そのため、場合によっては、上記角部
を起点とした放電が起こる場合がある。

【0087】そこで、上記①およびまたは②の方法によ
り低抵抗膜25を被覆したのちに、上記角部を図32
(b)に示す様に、曲率をもつように加工することが有
効である。

【0088】また、低抵抗膜25を被覆した後のスペー
サ基体を搬送した際あるいは、被覆条件などによって
は、図33(a)に示した様に、低抵抗膜25とスペー
サ基体21との界面の一部に膜はがれ部、膜浮き部、突
起部を作る場合がある。この様な場合においては、これ
らの部分でも電界集中がしやすくなり、放電を引き起
こす可能性があるだけでなく、等電位面に歪みを引き起
こす場合がある。

【0089】そのため、このようなケースにおいては、
図33(b)に示した様に、低抵抗膜25を、その高さ
方向(FPとRP間方向)において、 h から h' になる

まで除去することが有効である。尚、 $h > h'$ である。

【0090】特に絶縁性スペーサ基体21に前述の高抵
抗膜22を施さない場合には、上記した界面において、
真空と絶縁体(スペーサ基体)と金属(低抵抗膜)との
トリプルポイントが形成される。その結果、前記の低抵
抗膜25の形状による放電現象が顕著に生じやすくなる
ため、上記した低抵抗膜25の加工が非常に有効とな
る。

【0091】上記、被覆した低抵抗膜25の加工(除
去)方法の具体的手法としては、例えば、以下のような
手段を用いることができる。即ち、低抵抗膜に対応した
エッチングプロセス、レーザーリペアによる除去、又はフ
ォトリソグラフィ、又はリフトオフプロセスによるパタ
ーニング形成、マスクによる塗工液部分展開等を適用す
ることができる。

【0092】上記した、スペーサ基体21は、ガラスま
たはセラミックから構成することにより、安価で切削研
磨加工が容易で、組み立て強度が良好なスペーサおよび
該スペーサを用いた画像形成装置を作成することが可能
となる。また、特に、フェースプレートおよびリアプ
レートとスペーサ基体の材料は同一のものであることが
熱膨張率のマッチングの観点からは好ましい。

【0093】また、本実施の形態に係る液相形成法によ
る低抵抗膜(電極)25を設けた絶縁性スペーサ基体21
を、特に、リアプレート(電子源)11とフェース
プレート17との間に、数kVから数十kVの電圧を印
加する高Vaタイプの画像形成装置に適用する場合に
は、更に図23及び図24などに示した様に、スペーサ
基体21の側面に高抵抗膜22を配することが好まし
い。このように高抵抗膜22を絶縁性スペーサ基体21
の側面に配置することにより、スペーサ表面(側面)の
帯電を抑え、結果として、発光点のずれの無い良好な画
像が得られる。

【0094】また、図23及び図24では、高抵抗膜22
がスペーサ基体21の側面のみを覆っている例を示し
たが、高抵抗膜22がスペーサ基体の全ての表面(側面
および端面)を覆っていても良い。

【0095】また、更には高抵抗膜22は必ずしもスペ
ーサ基体21の側面全てを覆う必要はない。即ち、真空
容器内に露出する、スペーサ基体21の側面の内、電極
(低抵抗膜)25で覆われていないところを高抵抗膜22
で覆えば良い。但し、前述したように、高抵抗膜22
と低抵抗膜(電極)25との電気的な接続は必要である
ため、低抵抗膜(電極)25と高抵抗膜22はオーバ
ラップすることで電気的接続を確保することが好まし
い。

【0096】更には、図23及び図24では、低抵抗膜
(電極)25が高抵抗膜22を覆っている例を示した。
しかし逆に、スペーサ基体21の端部を低抵抗膜(電
極)25が覆った上で、前記高抵抗膜22が、スペーサ

基体21の側面を覆う形態であっても良い。このような構成にすることにより、高抵抗膜22が低抵抗膜(電極)25とスペーサ基体21との界面を覆うことができ、その結果、上記界面における低抵抗膜(電極)25の形状に起因する放電などを抑制できるので好ましい。

【0097】前記高抵抗膜22の表面抵抗値は、10の5乗 $[\Omega/\square]$ ～10の12乗 $[\Omega/\square]$ であることが好ましい。このような表面抵抗値を有することで、帯電と上下基板(FPとRP)間の電流消費および発熱を抑えることが可能となる。一方、低抵抗膜(電極)25の抵抗値は、フェースプレート及び又はリアプレートと高抵抗膜22との電氣的接合を良好にする目的から、その面積抵抗として前記高抵抗膜22の抵抗値の1/10以下であり、かつ10の7乗 $[\Omega/\square]$ 以下であることが望ましい。

【0098】更には、本発明の画像形成装置に好ましく用いられる電子源には、前述した冷陰極素子(MIM、FE、表面伝導型電子放出素子など)を用いることができる。

【0099】そして、冷陰極素子の中でも、表面伝導型電子放出素子は、素子の構造が簡単なために、大面積のフラットパネルディスプレイに向いているので特に好ましい。

【0100】また、本実施の形態に係る画像形成装置としては、ディスプレイの他に、例えば、電子放出素子から放出された電子を照射するターゲット(画像形成部材)に、電子線レジストなどを用いることで、潜像を形成する装置なども包含する。

【0101】(表示パネル101の構成と製造法)次に、本実施の形態に適用した画像表示装置(表示パネル)101の構成の一例と、その製造方法の一例について具体的に説明する。

【0102】図7は、本実施の形態に用いた表示パネル101の外観斜視図であり、その内部構造を示すために表示パネル101の一部を切り欠いて示している。

【0103】図中、1015はリアプレート、1016は側壁、1017はフェースプレートであり、これら1015～1017により表示パネル101の内部を真空中に維持するための気密容器を形成している。この気密容器を組み立てるにあたっては、各部材の接合部に十分な強度と気密性を保持させるために封着する必要があるが、例えばフリットガラスを接合部に塗布し、大気中或は窒素雰囲気中で、摂氏400～500度で10分以上焼成することにより封着を達成した。この気密容器の内部は10のマイナス6乗(torr)程度の真空中に保持されるので、大気圧や不意の衝撃などによる気密容器の破損を防止する目的で、耐大気圧構造体として本実施の形態に係るスペーサ20が設けられている。

【0104】ここではリアプレート1015には、基板1011が固定されているが、この基板1011上には

冷陰極素子1012が $N \times M$ 個形成されている。ここで、これら N 、 M は2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。例えば、高品位テレビジョンの表示を目的とした表示装置においては、 $N=3000$ 、 $M=1000$ 以上の数を設定することが望ましい。これら $N \times M$ 個の冷陰極素子1012は、 M 本の行方向配線1013と n 本の列方向配線1014により単純マトリクス配線されている。ここでは、これら基板1011～列配線1014によって構成される部分をマルチ電子源と呼ぶことにする。本実施の形態のマルチ電子源は、冷陰極素子を単純マトリクス配線した電子源であれば、冷陰極素子の材料や形状、或は製法に制限はない。従って、例えば表面伝導型放出素子やFE型、或はMIM型などの冷陰極素子を用いることができる。

【0105】次に、冷陰極素子として表面伝導型放出素子(後述)を基板上に配列して単純マトリクス配線したマルチ電子源の構造について述べる。

【0106】図8に示すのは、図7の表示パネル101に用いたマルチ電子源の平面図である。基板1011上には、後述の図12で示すものと同様な表面伝導型放出素子が配列され、これらの素子は行方向配線電極1003と列方向配線電極1004により単純マトリクス状に配線されている。行方向配線電極1003と列方向配線電極1004の交差する部分には、電極間に絶縁層(不図示)が形成されており、電氣的な絶縁が保たれている。

【0107】図8のA-A'に沿った断面を図9に示す。なお、このような構造のマルチ電子源は、予め基板1011上行方向配線電極1013、列方向配線電極1014、電極間絶縁層(不図示)、及び表面伝導型放出素子の素子電極1102、1103と導電性薄膜1104を形成した後、行方向配線電極1013および列方向配線電極1014を介して各素子に給電して通電フォーミング処理(後述)と通電活性化処理(後述)を行うことにより製造した。

【0108】尚、本実施の形態においては、気密容器のリアプレート1015にマルチ電子源の基板1011を固定する構成としたが、このマルチ電子源の基板1011が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子源の基板1011自体を用いてもよい。

【0109】また、フェースプレート1017の下面には、蛍光膜1018が形成されている。本実施の形態はカラー表示装置であるため、蛍光膜1018の部分にはCRTの分野で用いられる赤、緑、青、の3原色の蛍光体が塗り分けられている。各色の蛍光体は、例えば図10(a)に示すようにストライプ状に塗り分けられ、蛍光体のストライプの間には黒色の導電体1010が設けられている。この黒色の導電体1010を設ける目的は、電

子の照射位置に多少のずれがあっても表示色にずれが生じないようにするためや、外光の反射を防止して表示コントラストの低下を防ぐため、電子による蛍光膜のチャージアップを防止するためなどである。黒色の導電体1010には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ以外の材料を用いても良い。

【0110】また、3原色の蛍光体の塗り分け方は図10(a)に示したストライプ状の配列に限られるものではなく、例えば図10(b)に示すようなデルタ状配列や、それ以外の配列であってもよい。なお、モノクロームの表示パネル101を作成する場合には、単色の蛍光体材料を蛍光膜1018に用いればよく、また黒色導電材料1010は必ずしも用いなくともよい。

【0111】また、蛍光膜1018のリアプレート側の面には、CRTの分野では公知のメタルバック1019を設けてある。このメタルバック1019を設けた目的は、蛍光膜1018が発する光の一部を鏡面反射して光利用率を向上させるためや、負イオンの衝突から蛍光膜1018を保護するため、電子加速電圧を印加するための電極として作用させるためや、蛍光膜1018を励起した電子の導電路として作用させるためなどである。このメタルバック1019は、蛍光膜1018をフェースプレート基板1017上に形成した後、蛍光膜表面を平滑化处理し、その上にアルミニウム(A1)を真空蒸着する方法により形成した。なお、蛍光膜1018に低電圧用の蛍光体材料を用いた場合には、メタルバック1019は用いない。

【0112】また、本実施の形態では用いなかったが、加速電圧の印加や蛍光膜の導電性向上を目的として、フェースプレート基板1017と蛍光膜1018との間に、例えばITOを材料とする透明電極を設けてもよい。

【0113】また、行配線端子Dx1~DxM及び列配線端子Dy1~DyN及びHvは、この表示パネル101と前述の各回路等とを電気的に接続するために設けた気密構造の電気接続用端子である。そして、これら行配線端子Dx1~DxMはマルチ電子源の行方向配線1013と、列配線端子Dy1~DyNはマルチ電子源の列方向配線1014と、またHvはフェースプレート1017のメタルバック1019と電気的に接続している。

【0114】また、この気密容器内部を真空中に排気するには、この気密容器を組み立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内を10のマイナス7乗[torr]程度の真空度まで排気する。その後、排気管を封止するが、気密容器内の真空度を維持するために、封止の直前或は封止後に気密容器内の所定の位置にゲッター膜(不図示)を形成する。このゲッター膜とは、例えばBaを主成分とするゲッター材料をヒータもしくは高周波加熱により加熱し蒸着して形成した膜であり、このゲッター膜の吸着作用により気密容器内は1×10マ

イナス5乗、乃至1×10マイナス7乗[torr]の真空度に維持される。

【0115】図11は図7のA-A'の断面模式図であり、各部の番号は図7に対応している。

【0116】ここで説明される態様においては、スペーサ20は絶縁性のスペーサ基体21の表面に帯電防止を目的とした高抵抗膜22を成膜し、かつフェースプレート1017の内側(メタルバック1019等)及び基板1011の表面(行方向配線1013または列方向配線1014)に面したスペーサ基体21の当接面(端面)3、及び側面部5に低抵抗膜(電極)25を成膜した部材を有するもので、上記目的を達成するのに必要な数だけ、かつ必要な間隔をおいて配置され、フェースプレート1017の内側及び基板1011の表面に接合材1041により固定される。また高抵抗膜22は、絶縁性部材1の表面のうち、少なくとも気密容器内の真空中に露出している面に成膜されており、低抵抗膜(電極)25及び接合材1041を介して、フェースプレート1017の内側(メタルバック1019等)及び基板1011の表面(行方向配線1013又は列方向配線1014)に電気的に接続される。尚、ここでは、導電性の接合部材1041によって、フェースプレートの内側(メタルバック1019等)及び基板1011の表面(行方向配線1013、又は列方向配線1014)にスペーサ20を接続しているが、必ずしも、上記接合部材は必要ではない。

【0117】また、ここで説明される態様においては、スペーサ20の形状は平板状とし、行方向配線1013に平行に配置され、行方向配線1013に電気的に接続されている。またスペーサ20としては、基板1011上の行方向配線1013及び列方向配線1014とフェースプレート1017内面のメタルバック1019との間に印加される高電圧に耐えるだけの絶縁性を有し、かつスペーサ20の表面への帯電を抑制する程度の導電性を有する必要がある。

【0118】ここで説明される態様においては、スペーサ20を構成するスペーサ基体21としては、例えば石英ガラス、Na等の不純物含有量を減少したガラス、ソーダライムガラス、アルミナ等のセラミックス部材等が挙げられる。なお、スペーサ基体21はその熱膨張率が気密容器および基板1011を成す部材と近いものが好ましい。

【0119】スペーサ20の高抵抗膜22には、高電位側のフェースプレート1017(メタルバック1019等)に印加される加速電圧Vaを高抵抗膜22の抵抗値Rsで除した電流が流される。そこで、スペーサ20の抵抗値Rsは帯電抑制及び消費電力から、その望ましい範囲に設定される。帯電抑制の観点から表面抵抗は10の12乗[Ω/□]以下であることが好ましい。更には、十分な帯電抑制効果を得るためには10の11乗

[Ω/\square] 以下が好ましい。尚、この表面抵抗の下限はスペーサ20の形状とスペーサ20間に印加される電圧により左右されるが、10の5乗[Ω/\square]以上であることが好ましい。

【0120】スペーサ基体21上に形成された高抵抗膜22の厚み t は、10nm~1 μ mの範囲が望ましい。このスペーサ基体21の材料の表面エネルギーおよびスペーサ基体21との密着性や基板温度によっても異なるが、一般的に10nm以下の薄膜は島状に形成され、抵抗が不安定で再現性に乏しい。一方、膜厚 t が1 μ m以上では膜応力が大きくなって膜はがれの危険性が高まり、かつ成膜時間が長くなるため生産性が悪い。

【0121】従って、膜厚は50~500nmであることが望ましい。表面抵抗は、 ρ/t であり、以上に述べた表面抵抗と膜厚 t との好ましい範囲から、高抵抗膜22の比抵抗 ρ は0.1 [$\Omega \cdot \text{cm}$]乃至10の8乗[$\Omega \cdot \text{cm}$]が好ましい。更に表面抵抗と膜厚 t のより好ましい範囲を実現するためには、 ρ は10の2乗乃至10の6乗[$\Omega \cdot \text{cm}$]とするのが良い。

【0122】スペーサ20は上述したように、高抵抗膜22を電流が流れることにより、或は表示パネル101全体が動作中に発熱することにより、その温度が上昇する。この高抵抗膜22の抵抗温度係数が大きな負の値であると温度が上昇した時に抵抗値が減少し、スペーサ20に流れる電流が増加し、更に温度上昇をもたらす。そして電流は電源の限界を越えるまで増加し続ける。このような電流の暴走が発生する抵抗温度係数の値は経験的に負の値で絶対値が1%以上である。即ち、高抵抗膜22の抵抗温度係数は-1%未満であることが望ましい。

【0123】このような帯電抑制の効果を有する高抵抗膜22の材料としては、例えば金属酸化物を用いることができる。金属酸化物の中でも、クロム、ニッケル、銅の酸化物が好ましい材料である。その理由はこれらの酸化物は二次電子放出効率が比較的小さく、電子放出素子1012から放出された電子がスペーサ20に当たった場合においても帯電しにくいためと考えられる。金属酸化物以外にも炭素は二次電子放出効率が小さく好ましい材料である。特に、非晶質カーボンは高抵抗であるため、スペーサ20の抵抗を所望の値に制御しやすい。

【0124】高抵抗膜22の他の材料として、アルミニウムと遷移金属合金の窒化物は遷移金属の組成を調整することにより、良伝導体から絶縁体まで広い範囲に抵抗値を制御できるので好適な材料である。更には後述する表示装置の作製工程において抵抗値の変化が少なく安定な材料である。かつ、その抵抗温度係数が-1%未満であり、実用的に使いやすい材料である。遷移金属元素としてはTi、Cr、Ta等があげられる。

【0125】合金窒化膜はスパッタ、窒素ガス雰囲気中での反応性スパッタ、電子ビーム蒸着、イオンプレーティング、イオンアシスト蒸着法等の薄膜形成手段により

絶縁性部材上に形成される。金属酸化物も同様の薄膜形成法で作製することができるが、この場合窒素ガスに代えて酸素ガスを使用する。その他、CVD法、アルコキシド塗布法でも金属酸化物を形成できる。カーボン膜は蒸着法、スパッタ法、CVD法、プラズマCVD法で作製され、特に非晶質カーボンを作製する場合には、成膜中の雰囲気中に水素が含まれるようにするか、成膜ガスに炭化水素ガスを使用する。

【0126】スペーサ20を構成する低抵抗膜(電極)25は、高抵抗膜22を高電位側のフェースプレート1017(メタルバック1019等)及び低電位側の基板1011(配線1013、1014等)と電気的に接続するために設けられたものである。

【0127】低抵抗膜(電極)25は以下に列挙する複数の機能を有することが出来る。

①高抵抗膜22をフェースプレート1017及び基板1011と電気的に接続する。

【0128】既に記載したように、高抵抗膜22はスペーサ20表面での帯電を抑制する目的で設けられたものであるが、高抵抗膜22をフェースプレート1017(メタルバック1019等)及び基板1011(配線1013、1014等)と直接或いは当接材1041を介して接続した場合、接続部界面に大きな接触抵抗が発生し、スペーサ20の表面に発生した電荷を速やかに除去できなくなる可能性がある。これを避けるために、フェースプレート1017、基板1011及び当接材1041と接触するスペーサ20の当接面3或いは側面部5に低抵抗膜(電極)25を設けた。

②高抵抗膜22の電位分布を均一化する。

【0129】電子放出素子1012より放出された電子は、フェースプレート1017と基板1011の間に形成された電位分布に従って電子軌道を成す。スペーサ20の近傍で電子軌道に乱れが生じないようにするためには、高抵抗膜22の電位分布を全域に亘って制御する必要がある。高抵抗膜22をフェースプレート1017(メタルバック1019等)及び基板1011(配線1013、1014等)と直接或いは当接材1041を介して接続した場合、接続部界面の接触抵抗のために接続状態のむらが発生し、高抵抗膜22の電位分布が所望の値からずれてしまう可能性がある。これを避けるために、スペーサ20がフェースプレート1017及び基板1011と当接するスペーサ端部(端面3および側面部5)に低抵抗膜(電極)25を設ける。この低抵抗膜(電極)25に所望の電位を印加することによって、高抵抗膜22全体の電位を制御可能とした。

③放出電子の軌道を制御する。

【0130】電子放出素子1012より放出された電子は、フェースプレート1017と基板1011の間に形成された電位分布に従って電子軌道を成す。スペーサ20近傍の電子放出素子1012から放出された電子に関

しては、スペーサ20を設置することに伴う制約（配線、素子位置の変更等）が生じる場合がある。

【0131】このような場合、歪みやむらの無い画像を形成するためには、放出された電子の軌道を制御してフェースプレート1017上の所望の位置に電子を照射する必要がある。フェースプレート1017及び基板1011と当接する面の側面部5に低抵抗膜（電極）25を設けることにより、スペーサ20近傍の電位分布に所望の特性を持たせ、放出された電子の軌道を制御することが出来る。

【0132】低抵抗膜（電極）25は、高抵抗膜22に比べ十分に低い抵抗値を有する材料を選択すればよく、Ni, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pd等の金属、あるいは合金、及びPd, Ag, Au, RuO₂, Ag-PbO等の金属や金属酸化物とガラス等から構成される印刷導体、或は、SnO₂微粒子をSb等でドーピングした導電性微粒子をシリカまたは酸化珪素の末端をアルキル、アルコキシ、フッ素等で置換したバインダーに分散させた導電性微粒子分散膜、あるいはIn₂O₃-SnO₂等の透明導体及びポリシリコン等の半導体材料等より適宜選択される。

【0133】接合材1041は、スペーサ20が行方向配線1013およびメタルバック1019と電気的に接続するように、導電性をもたせる必要がある。即ち、導電性接着材や金属粒子や導電性フィラーを添加したフリットガラスが好適である。

【0134】以上説明した表示パネル101を用いた画像表示装置は、容器外端子Dx1~DxM、Dy1~DyNを通じて各電子放出素子1012に電圧を印加すると、それら電子放出素子1012から電子が放出される。それと同時にメタルバック1019に容器外端子Hvを通じて数百[V]ないし数[kV]の高圧を印加して、それら放出された電子をフェースプレート1017方向に加速し、フェースプレート1017の内面に衝突させる。これにより蛍光膜1018の各色の蛍光体が励起されて発光し、画像が表示される。

【0135】通常、電子放出素子（冷陰極素子）である本実施の形態の表面伝導型放出素子1012への印加電圧は12~16[V]程度、メタルバック1019と冷陰極素子1012との距離dは0.1[mm]から8[mm]程度、メタルバック1019と冷陰極素子1012間の電圧0.1[kV]から10[kV]程度である。

【0136】以上、本実施の形態の表示パネル101の基本構成と製法、及び画像表示装置の概要を説明した。

【0137】次に、本実施の形態の表示パネル101に用いたマルチ電子源の製造方法について説明する。本実施の形態の画像表示装置に用いるマルチ電子源は、冷陰極素子を単純マトリクス配線した電子源であれば、冷陰極素子の材料や形状あるいは製法に制限はない。従っ

て、例えば表面伝導型放出素子やFE型、あるいはMIM型などの冷陰極素子を用いることができる。但し、表示画面が大きくてしかも安価な表示装置が求められる状況のもとでは、これらの冷陰極素子の中でも表面伝導型放出素子が特に好ましい。即ち、FE型ではエミッタコーンとゲート電極の相対位置や形状が電子放出特性を大きく左右するため、極めて高精度の製造技術が必要とするが、これは大面積化や製造コストの低減を達成するには不利な要因となる。また、MIM型では、絶縁層と上電極の膜厚を薄くしてしかも均一にする必要があるが、これも大面積化や製造コストの低減を達成するには不利な要因となる。その点、表面伝導型放出素子は比較的製造方法が単純なため、大面積化や製造コストの低減が容易である。

【0138】また本願発明者らは、表面伝導型放出素子の中でも、電子放出部もしくはその周辺部を微粒子膜から形成したものがとりわけ電子放出特性に優れ、しかも製造が容易に行えることを見いだしている。従って、高輝度で大画面の画像表示装置のマルチ電子源に用いるには最も好適であると言える。そこで、本実施の形態の表示パネル101においては、電子放出部もしくはその周辺部を微粒子膜から形成した表面伝導型放出素子を用いた。そこで、まず好適な表面伝導型放出素子について基本的な構成と製法および特性を説明し、その後で多数の素子を単純マトリクス配線したマルチ電子源の構造について述べる。

【0139】（表面伝導型放出素子の好適な素子構成と製法）電子放出部もしくはその周辺部を微粒子膜から形成する表面伝導型放出素子の代表的な構成には、平面型と垂直型の2種類があげられる。

【0140】（平面型の表面伝導型放出素子）まず最初に、本実施の形態の平面型の表面伝導型放出素子の素子構成と製法について説明する。

【0141】図12に示すのは、平面型の表面伝導型放出素子の構成を説明するための平面図(a)及び断面図(b)である。図中、1101は基板、1102と1103は素子電極、1104は導電性薄膜、1105は通電フォーミング処理により形成した電子放出部、1113は通電活性化処理により形成した薄膜である。

【0142】基板1101としては、例えば、石英ガラスや青板ガラスをはじめとする各種ガラス基板や、アルミナをはじめとする各種セラミクス基板、或は上述の各種基板上に例えばSiO₂を材料とする絶縁層を積層した基板、などを用いることができる。

【0143】また、基板1101上に基板面と平行に対向して設けられた素子電極1102と1103は、導電性を有する材料によって形成されている。例えば、Ni, Cr, Au, Mo, W, Pt, Ti, Cu, Pd, Ag等をはじめとする金属、或はこれらの金属の合金、或はIn₂O₃-SnO₂をはじめとする金属酸化物、ボ

リシリコンなどの半導体、などの中から適宜材料を選択して用いればよい。電極を形成するには、例えば真空蒸着などの製膜技術とフォトリソグラフィ、エッチングなどのパターニング技術を組み合わせて用いれば容易に形成できるが、それ以外の方法（例えば印刷技術）を用いて形成してもさしつかえない。

【0144】素子電極1102と1103の形状は、この電子放出素子の応用目的に合わせて適宜設計される。一般的には、電極間隔Lは通常は数百オングストロームから数百マイクロメータの範囲から適当な数値を選んで設計されるが、中でも表示装置に应用するために好ましいのは数マイクロメータより数十マイクロメータの範囲である。また、素子電極の厚さdについては、通常は数百オングストロームから数百マイクロメータの範囲から適当な数値が選ばれる。

【0145】また、導電性薄膜1104の部分には、微粒子膜を用いる。ここで述べた微粒子膜とは、構成要素として多数の微粒子を含んだ膜（島状の集合体も含む）のことをさす。微粒子膜を微視的に調べれば、通常は、個々の微粒子が離間して配置された構造か、或は微粒子が互いに隣接した構造か、或は微粒子が互いに重なり合った構造が観測される。

【0146】微粒子膜に用いた微粒子の粒径は、数オングストロームから数千オングストロームの範囲に含まれるものであるが、中でも好ましいのは10オングストロームから200オングストロームの範囲のものである。また、微粒子膜の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。即ち、素子電極1102或は1103と電気的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、微粒子膜自身の電気抵抗を後述する適宜の値にするために必要な条件、などである。具体的には、数オングストロームから数千オングストロームの範囲のなかで設定するが、中でも好ましいのは10オングストロームから500オングストロームの間である。

【0147】また、微粒子膜を形成するのに用いられうる材料としては、例えば、Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb, などをはじめとする金属や、PdO, SnO₂, In₂O₃, PbO, Sb₂O₃, などをはじめとする酸化物や、HfB₂, ZrB₂, LaB₆, CeB₆, YB₄, Gd₄, などをはじめとする硼化物や、TiC, ZrC, HfC, TaC, SiC, WC, などをはじめとする炭化物や、TiN, ZrN, HfN, などをはじめとする窒化物や、Si, Ge, などをはじめとする半導体や、カーボン、などがあげられ、これらの中から適宜選択される。

【0148】以上述べたように、導電性薄膜1104を微粒子膜で形成したが、そのシート抵抗値については、10の3乗から10の7乗[Ω/□]の範囲に含まれる

よう設定した。

【0149】なお、導電性薄膜1104と素子電極1102及び1103とは、電気的に良好に接続されるのが望ましいため、互いの一部が重なり合うような構造をとっている。その重なり方は、図12の例においては、下から、基板、素子電極、導電性薄膜の順序で積層したが、場合によっては下から基板、導電性薄膜、素子電極、の順序で積層しても差し支えない。

【0150】また、電子放出部1105は、導電性薄膜1104の一部に形成された亀裂状の部分であり、電気的には周囲の導電性薄膜よりも高抵抗な性質を有している。この亀裂は、導電性薄膜1104に対して、後述する通電フォーミングの処理を行うことにより形成される。亀裂内には、数オングストロームから数百オングストロームの粒径の微粒子を配置する場合がある。なお、実際の電子放出部の位置や形状を精密かつ正確に図示するのは困難なため、図12においては模式的に示した。

【0151】また、薄膜1113は、炭素もしくは炭素化合物よりなる薄膜で、電子放出部1105及びその近傍を被覆している。薄膜1113は、通電フォーミング処理後に、後述する通電活性化の処理を行うことにより形成する。

【0152】薄膜1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は500[オングストローム]以下とするが、300[オングストローム]以下とするのが更に好ましい。

【0153】なお、実際の薄膜1113の位置や形状を精密に図示するのは困難なため、図12においては模式的に示した。また、平面図(a)においては、薄膜1113の一部を除去した素子を図示した。

【0154】以上、好ましい素子の基本構成を述べたが、実施の形態においては以下のような素子を用いた。

【0155】即ち、基板1101には青板ガラスを用い、素子電極1102と1103にはNi薄膜を用いた。素子電極の厚さdは1000[オングストローム]、電極間隔Lは2[マイクロメータ]とした。

【0156】微粒子膜の主要材料としてPdもしくはPdOを用い、微粒子膜の厚さは約100[オングストローム]、幅Wは100[マイクロメータ]とした。

【0157】次に、好適な平面型の表面伝導型放出素子の製造方法について説明する。

【0158】図13(a)～(e)は、表面伝導型放出素子の製造工程を説明するための断面図で、各部材の表記は図12と同一である。

【0159】(1)まず、図13(a)に示すように、基板1101上に素子電極1102及び1103を形成する。これらを形成するにあたっては、予め基板1101を洗剤、純水、有機溶剤を用いて十分に洗浄後、素子電極の材料を堆積させる。(堆積する方法としては、例

えば、蒸着法やスパッタ法などの真空成膜技術を用いればよい)。その後、堆積した電極材料を、フォトリソグラフィ・エッチング技術を用いてパターンニングし、

(a) に示した一対の素子電極 (1102 と 1103) を形成する。

【0160】(2) 次に、同図 (b) に示すように、導電性薄膜 1104 を形成する。この導電性薄膜 1104 を形成するにあたっては、まず (a) の基板に有機金属溶液を塗布して乾燥し、加熱焼成処理して微粒子膜を成膜した後、フォトリソグラフィ・エッチングにより所定の形状にパターンニングする。ここで、有機金属溶液とは、導電性薄膜に用いる微粒子の材料を主要元素とする有機金属化合物の溶液である。(具体的には、本実施の形態では主要元素として Pd を用いた。また、実施の形態では塗布方法として、ディッピング法を用いたが、それ以外の例えばスピナー法やスプレー法を用いてもよい)。

【0161】また、微粒子膜で作られる導電性薄膜 1104 の成膜方法としては、本実施の形態で用いた有機金属溶液の塗布による方法以外の、例えば真空蒸着法やスパッタ法、或は化学的気相堆積法などを用いる場合もある。

【0162】(3) 次に、同図 (c) に示すように、フォーミング用電源 1110 から素子電極 1102 と 1103 の間に適宜の電圧を印加し、通電フォーミング処理を行って、電子放出部 1105 を形成する。

【0163】通電フォーミング処理とは、微粒子膜で作られた導電性薄膜 1104 に通電を行って、その一部を適宜に破壊、変形、もしくは変質せしめ、電子放出を行うのに好適な構造に変化させる処理のことである。微粒子膜で作られた導電性薄膜のうち電子放出を行うのに好適な構造に変化した部分 (即ち電子放出部 1105) においては、薄膜に適当な亀裂が形成されている。なお、電子放出部 1105 が形成される前と比較すると、形成された後は素子電極 1102 と 1103 の間で計測される電気抵抗は大幅に増加する。

【0164】通電方法をより詳しく説明するために、図 14 に、フォーミング用電源 1110 から印加する適宜の電圧波形の一例を示す。微粒子膜で作られた導電性薄膜をフォーミングする場合には、パルス状の電圧が好ましく、本実施の形態の場合には同図に示したようにパルス幅 T1 の三角波パルスをパルス間隔 T2 で連続的に印加した。その際には、三角波パルスの波高値 Vpf を、順次昇圧した。また、電子放出部 1105 の形成状況をモニタするためのモニタパルス Pm を適宜の間隔で三角波パルスの間に挿入し、その際に流れる電流を電流計 1111 で計測した。

【0165】本実施の形態においては、例えば 10 のマイナス 5 乗 [torr] 程度の真空雰囲気下において、例えばパルス幅 T1 を 1 [ミリ秒]、パルス間隔 T2 を 10

[ミリ秒] とし、波高値 Vpf を 1 パルスごとに 0.1 [V] ずつ昇圧した。そして、三角波を 5 パルス印加するたびに 1 回の割りで、モニタパルス Pm を挿入した。フォーミング処理に悪影響を及ぼすことがないように、モニタパルスの電圧 Vpm は 0.1 [V] に設定した。そして、素子電極 1102 と 1103 の間の電気抵抗が 1×10^6 [オーム] になった段階、即ちモニタパルス印加時に電流計 1111 で計測される電流が 1×10^{-7} [A] 以下になった段階で、フォーミング処理に係る通電を終了した。

【0166】なお、上記の方法は、本実施の形態の表面伝導型放出素子に関する好ましい方法であり、例えば微粒子膜の材料や膜厚、或は素子電極間隔など表面伝導型放出素子の設計を変更した場合には、それに応じて通電の条件を適宜変更するのが望ましい。

【0167】(4) 次に、図 13 (d) に示すように、活性化用電源 1112 から素子電極 1102 と 1103 の間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。この通電活性化処理とは、通電フォーミング処理により形成された電子放出部 1105 に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことである。(図においては、炭素もしくは炭素化合物よりなる堆積物を部材 1113 として模式的に示した。) なお、通電活性化処理を行うことにより、行う前と比較して、同じ印加電圧における放出電流を典型的には 100 倍以上に増加させることができる。

【0168】具体的には、10 のマイナス 4 乗ないし 10 のマイナス 5 乗 [torr] の範囲内の真空雰囲気中で、電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物 1113 は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は 500 [オングストローム] 以下、より好ましくは 300 [オングストローム] 以下である。

【0169】この通電方法をより詳しく説明するために、図 15 (a) に、活性化用電源 1112 から印加する適宜の電圧波形の一例を示す。本実施の形態においては、一定電圧の矩形波を定期的に印加して通電活性化処理を行ったが、具体的には、矩形波の電圧 Vac は 14 [V]、パルス幅 T3 は 1 [ミリ秒]、パルス間隔 T4 は 10 [ミリ秒] とした。なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0170】図 13 (d) に示す 1114 は、この表面伝導型放出素子から放出される放出電流 Ie を捕捉するためのアノード電極で、直流高電圧電源 1115 及び電流計 1116 が接続されている。なお、基板 1101

を、表示パネル101の中に組み込んでから活性化処理を行う場合には、表示パネル101の蛍光面をアノード電極1114として用いる。活性化用電源1112から電圧を印加する間、電流計1116で放出電流 I_e を計測して通電活性化処理の進行状況をモニタし、活性化用電源1112の動作を制御する。

【0171】電流計1116で計測された放出電流 I_e の一例を図15(b)に示すが、活性化電源1112からパルス電圧を印加しはじめると、時間の経過とともに放出電流 I_e は増加するが、やがて飽和してほとんど増加しなくなる。このように、放出電流 I_e がほぼ飽和した時点で活性化用電源1112からの電圧印加を停止し、通電活性化処理を終了する。

【0172】なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0173】以上のようにして、図13(e)に示す平面型の表面伝導型放出素子を製造した。

【0174】(垂直型の表面伝導型放出素子)次に、電子放出部もしくはその周辺を微粒子膜から形成した表面伝導型放出素子のもうひとつの代表的な構成、即ち垂直型の表面伝導型放出素子の構成について説明する。

【0175】図16は、垂直型の基本構成を説明するための模式的断面図であり、図中の1201は基板、1202と1203は素子電極、1206は段差形成部材、1204は微粒子膜を用いた導電性薄膜、1205は通電フォーミング処理により形成した電子放出部、1213は通電活性化処理により形成した薄膜である。

【0176】この垂直型が先に説明した平面型と異なる点は、素子電極のうちの片方(1202)が段差形成部材1206上に設けられており、導電性薄膜1204が段差形成部材1206の側面を被覆している点にある。従って、図12の平面型における素子電極間隔 L は、垂直型においては段差形成部材1206の段差高 L_s として設定される。なお、基板1201、素子電極1202及び1203、微粒子膜を用いた導電性薄膜1204、については、平面型の説明中に列挙した材料を同様に用いることが可能である。また、段差形成部材1206には、例えば SiO_2 のような電気的に絶縁性の材料を用いる。

【0177】次に、垂直型の表面伝導型放出素子の製法について説明する。

【0178】図17(a)～(f)は、製造工程を説明するための断面図で、各部材の表記は図16と同一である。

【0179】(1)まず、図17(a)に示すように、基板1201上に素子電極1203を形成する。

【0180】(2)次に、同図(b)に示すように、段差形成部材を形成するための絶縁層を積層する。絶縁層

は、例えば SiO_2 をスパッタ法で積層すればよいが、例えば真空蒸着法や印刷法などの他の成膜方法を用いてもよい。

【0181】(3)次に、同図(c)に示すように、絶縁層の上に素子電極1202を形成する。

【0182】(4)次に、同図(d)に示すように、絶縁層の一部を、例えばエッチング法を用いて除去し、素子電極1203を露出させる。

【0183】(5)次に、同図(e)に示すように、微粒子膜を用いた導電性薄膜1204を形成する。形成するには、平面型の場合と同じく、例えば塗布法などの成膜技術を用いればよい。

【0184】(6)次に、平面型の場合と同じく、通電フォーミング処理を行い、電子放出部を形成する。(図13(c)を用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい。)(7)次に、平面型の場合と同じく、通電活性化処理を行い、電子放出部近傍に炭素もしくは炭素化合物を堆積させる。(図13(d)を用いて説明した平面型の通電活性化処理と同様の処理を行えばよい。)以上のようにして、図17(f)に示す垂直型の表面伝導型放出素子を製造した。

【0185】(表示装置に用いた表面伝導型放出素子の特性)以上、平面型と垂直型の表面伝導型放出素子について素子構成と製法を説明したが、次に表示装置に用いた素子の特性について述べる。

【0186】図18は、本実施の形態の表示装置に用いた表面伝導型放出素子の(放出電流 I_e)対(素子印加電圧 V_f)特性、及び(素子電流 I_f)対(素子印加電圧 V_f)特性の典型的な例を示す図である。なお、放出電流 I_e は素子電流 I_f に比べて著しく小さく、同一尺度で図示するのが困難であるうえ、これらの特性は素子の大きさや形状等の設計パラメータを変更することにより変化するものであるため、2本のグラフは各々任意単位で図示した。

【0187】この表示装置に用いた表面伝導型放出素子は、放出電流 I_e に関して以下に述べる3つの特性を有している。

【0188】第1に、ある電圧(閾値電圧 V_{th})以上の大きさの電圧を素子に印加すると急激に放出電流 I_e が増加するが、一方、閾値電圧 V_{th} 未満の電圧では放出電流 I_e はほとんど検出されない。即ち、放出電流 I_e に関して、明確な閾値電圧 V_{th} を持った非線形素子である。

【0189】第2に、放出電流 I_e は素子に印加する電圧 V_f に依存して変化するため、電圧 V_f で放出電流 I_e の大きさを制御できる。

【0190】第3に、素子に印加する電圧 V_f に対して素子から放出される電流 I_e の応答速度が遅いため、電圧 V_f を印加する時間の長さによって素子から放出される電子の電荷量を制御できる。

【0191】以上のような特性を有するため、この実施

の形態の表面伝導型放出素子を表示装置に好適に用いることができた。例えば多数の素子を表示画面の画素に対応して設けた表示装置において、上述の第1の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。即ち、駆動中の素子には所望の発光輝度に応じて閾値電圧 V_{th} 以上の電圧を適宜印加し、非選択状態の素子には閾値電圧 V_{th} 未満の電圧を印加する。こうして駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表示を行うことが可能である。

【0192】また、第2の特性か、又は第3の特性を利用することにより、発光輝度を制御することができると、諧調表示を行うことが可能である。

【0193】これら表面伝導型放出素子を基板上に配列して単純マトリクス配線したマルチ電子源の構造は、前述の図8及び図9に示す通りである。

【0194】次に図19を参照して、本実施の形態の表面伝導型放出素子を配列した表示パネル101を含む画像表示装置の構成について説明する。

【0195】図19において、表示パネル101は、表示パネル101内の行配線と接続された行配線端子 $Dx1 \sim DxM$ 、同じく表示パネル101の列配線と接続された列配線端子 $Dy1 \sim DyN$ を介して外部の駆動回路に接続されている。このうち行配線端子 $Dx1 \sim DxM$ には、この表示パネル101に設けられているマルチ電子源、即ちM行N列のマトリクス状に配線された表面伝導型放出素子を、1行ずつ順次選択して駆動するための走査信号が、走査回路102から入力される。一方、列配線端子 $Dy1 \sim DyN$ には、走査回路102から行配線に印加された走査信号により選択された一行の表面伝導型放出素子の各素子から放出される電子を、入力された映像信号信号に応じて制御するための変調信号が印加される。

【0196】制御回路103は、外部より入力される映像信号に基づいて適切な表示が行われるように各部の動作タイミングを整合させる働きを持つものである。ここで外部より入力される映像信号120には、例えばNTSC信号のように画像データと同期信号が複合されている場合と、予め両者が分離されている場合とがあるが、この実施の形態では後者の場合で説明する。尚、前者の映像信号に対しては、良く知られる同期分離回路を設けて画像データと同期信号 T_{sync} とを分離し、画像データをシフトレジスタ104に、同期信号を制御回路103に入力すれば本実施の形態と同様に扱うことが可能である。

【0197】ここで制御回路103は、外部より入力される同期信号 T_{sync} に基づいて各部に対して水平同期信号 T_{scan} 、及びラッチ信号 T_{lry} 、シフト信号 T_{sft} 等の各制御信号を発生する。

【0198】外部より入力される映像信号に含まれる画像データ（輝度データ）はシフトレジスタ104に入力される。このシフトレジスタ104は、時系列的にシリ

アルに入力される画像データを画像の1ラインを単位としてシリアル/パラレル変換するためのもので、制御回路103より入力される制御信号（シフト信号） T_{sft} に同期して画像データをシリアルに入力して保持する。こうしてシフトレジスタ104でパラレル信号に変換された1ライン分の画像データ（電子放出素子N素子分の駆動データに相当）は、並列信号 $I'd1 \sim I'dN$ としてラッチ回路105に出力される。

【0199】ラッチ回路105は、1ライン分の画像データを必要時間の間だけ記憶して保持するための記憶回路であり、制御回路103より送られる制御信号 T_{lry} に従って並列信号 $I'd1 \sim I'dN$ を記憶する。こうしてラッチ回路105に記憶された画像データは、並列信号 $I'd1 \sim I'dN$ としてパルス幅変調回路106に出力される。パルス幅変調回路106は、これら並列信号 $I'd1 \sim I'dN$ に応じて一定の振幅（電圧値）で、画像データ（ $I'd1 \sim I'dN$ ）に応じてパルス幅を変調した電圧信号を $I''d1 \sim I''dN$ として出力する。

【0200】より具体的には、このパルス幅変調回路106は、画像データの輝度レベルが大きい程、パルス幅の広い電圧パルスを出力するもので、例えば最大輝度に対して 30μ 秒、最低輝度に対して 0.12μ 秒となり、かつその振幅が $7.5 [V]$ の電圧パルスを出力する。この出力信号 $I''d1 \sim I''dN$ は表示パネル101の列配線端子 $Dy1 \sim DyN$ に印加される。

【0201】また表示パネル101の高圧端子 Hv には、加速電圧源109から、例えば $5 kV$ の直流電圧 V_a が供給される。

【0202】次に、走査回路102について説明する。この走査回路102は、内部にM個のスイッチング素子を備えるもので、各スイッチング素子は、直流電圧源 V_x の出力電圧もしくは $0 [V]$ （グラウンドレベル）のいずれか一方を選択し、表示パネル101の端子 $Dx1$ ないし DxM と電氣的に接続するものである。これらスイッチング素子の切り換えは、制御回路103が出力する制御信号 T_{scan} に基づいて行われるが、実際には例えばFETのようなスイッチング素子を組合わせることにより容易に構成することが可能である。なお、直流電圧源 V_x は、図18に例示した電子放出素子の特性に基づき走査されていない素子に印加される駆動電圧が電子放出閾値電圧 V_{th} 電圧以下となるよう、一定電圧を出力するよう設定されている。また、制御回路103は、外部より入力する映像信号に基づいて適切な表示が行なわれるように各部の動作を整合させる働きをもつものである。

【0203】尚、シフトレジスタ104やラインメモリ105は、デジタル信号式のものでもアナログ信号式のものでも採用できる。即ち、映像信号のシリアル/パラレル変換や記憶が所定の速度で行われればよいからである。

【0204】このような構成をとりうる本実施の形態の

画像表示装置においては、各電子放出素子に、容器外端子Dx1乃至Dxm、Dy1乃至Dynを介して電圧を印加することにより、電子放出が生じる。また高圧端子Hvを介してメタルバック1019或は透明電極（不図示）に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜1018に衝突し、発光が生じて画像が形成される。

【0205】ここで述べた画像表示装置の構成は、本実施の形態に適用可能な画像形成装置の一例であり、本発明の思想に基づいて種々の変形が可能である。入力信号についてはNTSC方式を挙げたが、入力信号はこれに限るものではなく、PAL、SECAM方式などの他、これらより多数の走査線からなるTV信号（MUSE方式をはじめとする高品位TV）方式をも採用できる。

【0206】以下に、本発明の実施の形態の具体的な実施例を挙げて更に詳述する。

【0207】以下に述べる各実施例においては、マルチ電子源として、前述した、電極間の導電性微粒子膜に電子放出部を有する表面伝導型放出素子をN×M個（N=3072、M=1024）、M本の行方向配線とN本の列方向配線とによりマトリクス状に配線（図7参照）したマルチ電子源を用いた。

【0208】（実施例1）本実施例1で用いるスペーサ20を以下のように作成した。

【0209】フェースプレート及びリアプレート1015と同質のソーダライムガラスをスペーサ母材とし、図30に示した加熱延伸法により、断面形状として図1（a）（b）及び図3（d）に示すような、スペーサ基体21を得た。尚、図1（b）は、図1（a）の円で囲ったスペーサ基体21の厚み方向の側面の端部の拡大図である。

【0210】ここで、本実施例1で作成したスペーサ基体21は、図26に示すように、高さ：Hが3mm、厚み：Dが0.2mm、長さ：Lが40mmのものであった。本実施例1で用いたガラス母材501は、図26に示すように、高さ：Hが150mm、厚み：Dが10mmの平板状のソーダライムガラスを用いた。また、母材501と、最終的に得ようとするスペーサ基体21の断面積比が、1：1/2500となるように、送り出し速度v1が4ミクロン/分、引き出し速度v2が10mm/分と設定した。この際、ヒータ502による加熱温度は600℃とし、引き出し工程後、上記長さ：Lが40mmになるように切断した。

【0211】また、上記加熱延伸法により得られたスペーサ基体21の角は、曲率半径：rが0.02mmであった。尚、上記高さ：H、厚み：D、長さ：Lは、図26を用いて説明したものと同じ定義である。

【0212】以下、図2を参照して、転写浸漬法による低抵抗膜（電極）25の作成手順を説明する。

【0213】先ず、純水、IPA、アセトンで化学洗浄

した後、UVオゾン洗浄を施した100×100×5tの厚板ガラス2001上に（RKプリント・インストラルメンタル社：RK print-instrumental corp.）製のバークコート装置にて、N. Eケムキャット社：N. E. Chemcat）製の有機金属塩溶解P tペースト（粘度30k c p s）を同図（b）のように薄膜展開した。このとき展開液2002の膜厚は40ミクロンであり、この展開膜上に同図（c）（d）（e）に示すように、上記スペーサ基体21を40mm×0.2mmの面（端面）を展開面に平行となるような方向で垂直に降下させて浸漬したのち、垂直に引き上げて転写させた。

【0214】これら展開浸漬転写の一連の操作を対向する面（端面）に対してもう一度行った後、120℃で10分間乾燥した後、600℃で10分間焼成し、低抵抗膜（電極）25を上下端面の2箇所に、図1（c）、（d）に示すように形成した。尚、図1（c）の円で囲まれたスペーサ端部の拡大図が図1（d）である。

【0215】このときの低抵抗膜（電極）25の高さhは約200ミクロンであった。またこのとき、低抵抗膜（電極）25の表面抵抗は1[Ω/□]であった。この後、スペーサ基体21の表面に高抵抗膜22として、CrおよびAlのターゲットを高周波電源で同時スパッタすることにより、Cr-Al合金窒化膜を膜厚200nmを形成した。このときのスパッタガスは、Ar：N₂が1：2の混合ガスで、全圧力は1m[torr]である。上記条件で同時成膜した膜の表面抵抗Rは2×10の9乗[Ω/□]であった。これに限らず本実施例1では種々の高抵抗膜22の材料および製法を使用することが可能である。このようにして作成したスペーサ20をスペーサ20aとする。

【0216】こうして得られたスペーサ20の低抵抗膜（電極）25の部分は、光沢反射が認められた上、スペーサ基体21の端面と側面の境界領域、即ち、角部には部分的な剥がれなども無く、低抵抗膜（電極）25の被覆性は良好であった。

【0217】本実施例1では、前述した図7に示すような、スペーサ20を配置した表示パネル101を作製した。

【0218】以下、この表示パネル101の製造方法を詳述する。

【0219】まず予め基板1011上行方向配線電極1013、列方向配線電極1014、電極間絶縁層（不図示）、及び表面伝導型放出素子の素子電極1102、1103と導電性薄膜1104を形成した基板1011を、リアプレート1015に固定した。次に、上述のようにして作成されたスペーサ20を基板1011の行方向配線1013上に等間隔で、行方向配線1013と平行に固定した。その後、基板1011の約3mm上方に、内面に蛍光膜1018とメタルバック1019が付設されたフェースプレート1017を側壁1016を介

して配置し、リアプレート1015、フェースプレート1017、側壁1016およびスペーサ20の各接合部を固定した。基板1011とリアプレート1015の接合部、リアプレート1015と側壁1016の接合部、およびフェースプレート1017と1016の接合部は、フリットガラス（不図示）を塗布し、大気中で400℃乃至500℃で10分以上焼成することで封着した。また、スペーサ20は、基板1011側では行方向配線1013（線幅約300[マイクロメートル]）上に、フェースプレート1017側ではメタルバック1019面上に、導電性のフィラー或は金属等の導電材を混合した導電性フリットガラス（不図示）を介して配置し、上記気密容器の封着と同時に、大気中で400℃乃至500℃で10分以上焼成することで接着し、かつ電気的な接続も行った。

【0220】なお、本実施例1においては、蛍光膜1018は、図10(a)に示すように、各色蛍光体が列方向(Y方向)に延びるストライプ形状を採用し、黒色の導電体1010は各色蛍光体(R、G、B)間だけでなく、Y方向の各画素間をも分離するように配置されている。またスペーサ20は、行方向(X方向)に平行な黒色の導電体1010（線幅約300[マイクロメートル]）内にメタルバック1019を介して配置された。なお、前述の封着を行う際には、各色蛍光体と基板1011上に配置された各素子とを対応させなくてはならないため、リアプレート1015、フェースプレート1017およびスペーサ20は十分な位置合わせを行った。

【0221】以上のようにして完成した気密容器内を排気管（不図示）を通じ真空ポンプにて排気し、十分な真空度に達した後、容器外端子Dx1~DxmとDy1~Dynを通じ、行方向配線電極1013および列方向配線電極1014を介して各素子に給電して前述の通電フォーミング処理と通電活性化処理を行うことによりマルチ電子源を製造した。次に、10のマイナス6乗[torr]程度の真空度で、不図示の排気管をガスバーナで熱することで溶着し外囲器（気密容器）の封止を行った。そして最後に、封止後の真空度を維持するために、ゲッター処理を行った。

【0222】以上のように完成した、図7に示されるような表示パネル101を用いた画像表示装置において、各冷陰極素子（表面伝導型放出素子）1012には、容器外端子Dx1~Dxm、Dy1~Dynを通じ、走査信号及び変調信号をそれぞれ印加することにより電子を放出させ、メタルバック1019には、高圧端子Hvを通じて高圧を印加することにより放出電子ビームを加速して蛍光膜1018に電子を衝突させ、各色蛍光体（図10のR、G、B）を励起・発光させることで画像を表示した。なお、高圧端子Hvへの印加電圧Vaは3[kV]~12[kV]の範囲で放電が発生する限界電圧まで印加し、各配線1013、1014間への印加電圧Vfは1

4[V]とした。高圧端子Hvへの8kV以上電圧を印加して連続駆動できた場合に、耐電圧良好と判断した。

【0223】このとき、スペーサ20の近傍で9kV駆動まで放電は発生しなかった。更にスペーサ20に近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スペーサ20を設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

【0224】（実施例2）前述の実施例1で作成したスペーサ基体21を使用し、低抵抗膜（電極）25の塗布用の展開液を、厚み0.2μmのステンレスドクターブレードと平行に配置した40ミクロンの隙間ゲージにより展開すること以外は、前述の実施例1の作成方法と同様にして、高さ:hが200ミクロンの低抵抗膜（電極）25を作成し、更に実施例1と同様にしてスパッタによる高抵抗膜22を作成した。このようにして作成したスペーサ20をスペーサ20bとする。そうして得られたスペーサ20の低抵抗膜（電極）25部分は、光沢反射が認められた上、スペーサ基体21の端面と側面の境界領域、すなわち角部には部分的な剥がれなども無く、低抵抗膜（電極）25の被覆性は良好であった。

【0225】更に実施例1と同様に、電子線放出素子を組み込んだリアプレート等とともに表示パネル101を作成し、実施例1と同条件で、高圧印加および素子駆動を行った。

【0226】このときスペーサ20近傍で9kV駆動まで放電は発生しなかった。更にスペーサ20に近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スペーサ20を設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

【0227】（実施例3）実施例1で作成したスペーサ基体21を使用し、低抵抗膜（電極）25塗布用の展開液を、テルベン系溶媒にて希釈してスピンコートにより展開すること以外は、前述の実施例1の作成方法と同様にして、高さ:hが10ミクロンの低抵抗膜（電極）25を作成し、更に実施例1と同様にしてスパッタによる高抵抗膜22を作成した。このようにして作成したスペーサ20をスペーサ20cとする。このとき希釈した展開液の粘度は、1k cPであった。こうして得られたスペーサ20の低抵抗膜部分25は、光沢反射が認められた上、スペーサ基体21の端面と側面の境界領域、すなわち角部には部分的な剥がれなども無く、低抵抗膜（電極）25の被覆性は良好であった。更に実施例1と同様に、電子線放出素子を組み込んだリアプレート等とともに表示パネルを作成し、実施例1と同条件で高圧印加お

よび素子駆動を行った。

【0228】このときスペーサ20の近傍で10kV駆動まで放電は発生しなかった。更にスペーサ20に近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スペーサ20を設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

【0229】(実施例4) 前述の実施例1で作成したスペーサ基体21を使用し、低抵抗膜塗布用の展開液を、住友大阪セメント社製で平均粒径が10nmのSbをドーブした酸化錫微粒子をシリカバインダー中に分散した溶液をバーコートで展開すること以外は、実施例1の作成方法と同様にして高さ100ミクロンの低抵抗膜(電極)25を作成し、更に実施例1と同様にしてスパッタにより高抵抗膜22を作成した。このようにして作成したスペーサ20をスペーサ20dとする。このとき展開液の粘度は10cPであった。こうして得られたスペーサ20の低抵抗膜(電極)25の部分は、光沢反射が認められた上、スペーサ基体21の端面と側面の境界領域、即ち角部には部分的な剥がれなども無く、低抵抗膜(電極)25の被覆性は良好であった。更に実施例1と同様にして、電子線放出素子を組み込んだリアプレート等とともに表示パネル101を作成し、実施例1と同じ条件で、高圧印加および素子駆動を行った。

【0230】このときスペーサ20の近傍で9kV駆動まで放電は発生しなかった。更にスペーサ20に近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スペーサ20を設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

【0231】(実施例5) 実施例1で作成したスペーサ基体21を使用し実施例1と全く同じ方法で低抵抗膜(電極)25を作成した。そして、この低抵抗膜(電極)25を、80℃に加熱した王水をエッチャントとして、スペーサ基体21の厚み方向の側面から距離:h'として150ミクロンの位置まで部分的にエッチングした(電極25の加工(除去)工程)。同時に、低抵抗膜の角部も曲率をもつようにパターニングした(図32、図33)。このようにして、高さ:h'が150ミクロンの低抵抗膜(電極)25を作成し、更に実施例1と同様にしてスパッタによる高抵抗膜22を作成した。このようにして作成したスペーサ20をスペーサ20eとする。このとき得られた、スペーサ20eの低抵抗膜(電極)25部分は、光沢反射が認められた上、スペーサ基体21の端面と側面の境界領域、即ち、角部には部分的な剥がれなども無く、低抵抗膜(電極)25の被覆性は

良好であった。更に実施例1と同様にして、電子線放出素子を組み込んだリアプレート等とともに表示パネル101を作成し、実施例1と同条件で、高圧印加および素子駆動を行った。

【0232】このときスペーサ20近傍で10kV駆動まで放電は発生しなかった。更にスペーサ20に近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スペーサ20を設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

【0233】(実施例6) 前述の実施例5と全く同じ方法で低抵抗膜(電極)25を作成したスペーサ20に対し、実施例5の電極25の加工(除去)工程をレーザ加工装置により行った。加工後の電極25の形状は、実施例5と同様である。このようにして、低抵抗膜(電極)25を作成し、更に実施例1と同様にしてスパッタによる高抵抗膜22を得た。このようにして作成したスペーサ20をスペーサ20fとする。このとき得られた、スペーサ20の低抵抗膜(電極)25部分は、光沢反射が認められた上、スペーサ基体21の端面と側面の境界領域、即ち、角部には部分的な剥がれなども無く、低抵抗膜(電極)25の被覆性は良好であった。

【0234】更に、実施例1と同様にして、電子線放出素子を組み込んだリアプレート等とともに表示パネル101を作成し、実施例1と同条件で、高圧印加および素子駆動を行った。このとき、スペーサ20の近傍で10kV駆動まで放電は発生しなかった。更に、スペーサ20に近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スペーサ20を設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

【0235】(実施例7) フェースプレートおよびリアプレート1015と同質のソーダライムガラスをスペーサ母材とし、図5に示した加熱延伸法により、図26に規定した高さ:H、厚み:D、長さ:Lがそれぞれ、3mm、0.2mm、40mmのスペーサ基体21を形成した。尚、本実施例では、上記加熱延伸法により、スペーサ基体の角(図26、図3(d))の曲率半径:rが4ミクロンのものを作成した。

【0236】この後、実施例1と同じ作成方法により、高さ200ミクロンの低抵抗膜(電極)25を作成し、更に実施例1と同様にしてスパッタによる高抵抗膜22を作成した。このようにして作成したスペーサ20をスペーサ20gとする。このとき得られたスペーサ20の低抵抗膜(電極)25部分は、光沢反射が認められた上、スペーサ基体21の端面と側面の境界領域、即ち、

角部には部分的な剥がれなども無く、低抵抗膜（電極）25の被覆性は良好であった。

【0237】更に実施例1と同様にして、電子線放出素子を組み込んだリアプレート等とともに表示パネル101を作成し、実施例1と同条件で、高圧印加および素子駆動を行った。このときスペーサ20の近傍で10kV駆動まで放電は発生しなかった。更にスペーサ20に近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スペーサ20を設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

【0238】（実施例8）スペーサ基体21の端面と側面間の境界、即ち角部を研磨処理にてエッジから10ミクロンの領域を45度にテーパ加工を行ったアルミナ基板をスペーサ基板とした（図3（a））。この基板に実施例1と同じ作成方法により、高さ200ミクロンの低抵抗膜（電極）25を作成し、更に実施例1と同様にしてスパッタによる高抵抗膜22を作成した。このようにして作成したスペーサ20をスペーサ20hとする。このとき得られたスペーサ20の低抵抗膜（電極）25部分は、光沢反射が認められた上、スペーサ基体21の端面と側面の境界領域すなわち角部には部分的な剥がれなども無く、低抵抗膜（電極）25の被覆性は良好であった。

【0239】更に実施例1と同様にして、電子線放出素子を組み込んだリアプレート等とともに表示パネル101を作成し、実施例1と同条件で高圧印加および素子駆動を行った。このときスペーサ20の近傍で10kV駆動まで放電は発生しなかった。更に、スペーサ20に近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スペーサ20を設置しても、電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

【0240】（実施例9）青板ガラスからなるスペーサ基体21の端面と側面間の境界、即ち、角部を研磨処理にてエッジから10ミクロンの領域を45度にテーパ加工を行った（図3（a））。

【0241】このスペーサ基体21に実施例1と同じ作成方法により、約高さ200ミクロンの低抵抗膜（電極）25を作成し、更に実施例1と同様にしてスパッタによる高抵抗膜22を作成した。このようにして作成したスペーサ20をスペーサ20iとする。このとき得られたスペーサ20の低抵抗膜（電極）25部分は、光沢反射が認められた上、スペーサ基体21の端面と側面の境界領域、即ち、角部には部分的な剥がれなどもなく低抵抗膜（電極）25の被覆性は良好であった。

【0242】更に実施例1と同様にして、電子線放出素子を組み込んだリアプレート等とともに表示パネル101を作成し、実施例1と同条件で、高圧印加および素子駆動を行った。このときスペーサ20の近傍で10kV駆動まで放電は発生しなかった。更にスペーサ20に近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スペーサ20を設置しても、電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

【0243】（実施例10）本実施例では、図26に示すように、スペーサ基体21の全6面（側面、端面、厚み方向の側面）を研磨処理にて相互に直角に配置するよう研磨したソーダライムガラス基板をスペーサ基体21とした。このスペーサ基体21に実施例1と同じ作成方法により、高さ200ミクロンの低抵抗膜（電極）25を作成し、更に実施例1と同様にしてスパッタによる高抵抗膜22を作成した。このようにして作成したスペーサ20をスペーサ20jとする。このとき得られたスペーサ20の低抵抗膜（電極）25部分は、光沢反射が認められた上、スペーサ基体21の端面と側面の境界領域において（電極）25の被覆性は一部不良であった。

【0244】更に実施例1と同様にして、電子線放出素子を組み込んだリアプレート等とともに表示パネル101を作成し、実施例1と同条件で、高圧印加および素子駆動を行った。このときスペーサ20の近傍で、他の実施例のように、メタルバックに印加する高電圧を10kVまで挙げたところ、一部で放電が観測された。メタルバックに印加する高電圧が8kVまでは、スペーサ20jに近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、メタルバックに印加する高電圧が8kVまでは、スペーサ20を設置しても、電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。このように、角部の被覆率が部分的に不良であったにもかかわらず発光点の乱れが認められなかったのは、残りのほとんどの部分の低抵抗膜部分がコンタクト良好であったために、低抵抗膜上端での共通電位が保たれていたためと理解される。

【0245】（参考例）本比較例では、図26に示した角が直角なスペーサ基体21を使用した。低抵抗膜（電極）25の作成方法は図6に示した方法で行った。以下にそのプロセスを具体的に説明する。

【0246】スペーサ基体21の両側面をガラス製固定治具2012によって挟む形で、複数のスペーサ基体21を固定する（図6（a））。尚、ここでは、ガラス製固定治具2012の厚み：D1を1.1mm、高さ：H1を2.8mm、長さ：L1を4.2mmとした。また、ス

ペーサ基体は、厚み：Dが0.2mm、高さ：Hが3mm、長さ：Lが40mmである。

【0247】そして、前記ガラス製固定治具2012から露出しているスペーサ基体の端部に、10nm厚のTi膜2013を形成し、さらに200nm厚のPt膜2013をスパッタにより気相形成した(図6(b)、(c))。この工程により、高さ200μmの低抵抗膜(電極)25が形成された。

【0248】上記工程と同様にして、スペーサ基体21の反対側の端部に、低抵抗膜(電極)25を形成した(図6(d))。

【0249】上記工程において、Ti膜は、Pt膜の膜密着性を補強する下地層として必要であった。この後、更に実施例1と同様にして、スパッタによる高抵抗膜22を作成した。

【0250】このようにして作成したスペーサ20をスペーサ20kとする。このとき得られた、スペーサ20の低抵抗膜(電極)25部分は、光沢反射が認められた上、スペーサ基体21の端面と側面の境界領域、即ち、角部には部分的な剥がれが生じた。

【0251】更に実施例1と同様にして、電子線放出素子を組み込んだリアプレート等とともに表示パネル101を作成し、実施例1と同条件で、高圧印加および素子駆動を行った。このときスペーサ20の近傍で7kV駆動まで放電は発生しなかった。更にスペーサ20に近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことはスペーサ20を設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

【0252】以上の各実施例で作成した、低抵抗膜(電極)25を形成したスペーサ20a~20jと、上記参考例で作成したスペーサ20kについて、この作成方法、電気的コンタクト、発光点変位、および耐放電について比較すると、参考例のスペーサ20kは低抵抗膜(電極)25を形成する際に、真空減圧装置を必要とするだけでなく、Pt単独のスパッタではガラス基板との密着性に問題があり、下地層を設けるためのプロセスを別途必要とする。

【0253】また、本実施例で示した転写浸漬形成による低抵抗膜(電極)25に比べて、絶縁耐圧が若干低い。これは、転写浸漬形成した低抵抗膜(電極)25の膜厚分布が、周辺になるに従い薄くなるテーパ状断面であるのに対して、スパッタ形成膜ではパターンニングした末端での低抵抗膜(電極)25の角部は、直角な断面であったり、マスクからはがす段階でバリなどの突起がスペーサ外空間に向かって発生するために、電子源中でこれらの突起部に電界が集中しやすい為であると思われる。

【0254】また、スペーサ20jの耐電圧、ビーム発光位置も良好であったが、スペーサ基体21の角部に低抵抗膜(電極)25の被覆率が低い状態が確認されており、多量生産の際の歩留まり等を考えると、スペーサ基体21の角部のR処理が被覆率向上の為に有効である事がわかる。

【0255】本実施の形態により形成される低抵抗膜(電極)25は、いずれも作成工程が簡便、かつ容易であり、また得られた低抵抗膜(電極)25の電気的コンタクトも良好であり、かつ、放電耐圧も良好であるので、電子線による表示品位を向上できる。また、量産性と低コスト性等を求められる作製工程、及びこれを使用する電子源に対して特に有効なものである。

【0256】以上説明したように、本実施の形態における低抵抗膜(電極)25の形成手法として液相形成法を形成することの効果として、真空減圧工程を必要としないため、

①装置コストが抑制できる

②タクトタイムを抑制できる

排気、減圧、成膜、大気リーク後、低抵抗膜(電極)25が準安定状態にあり、不安定な過渡状態で他の部材を成膜することで低抵抗膜(電極)25の剥がれ等の問題が生じることがあり、安定状態に緩和させる必要があった。これは低抵抗膜(電極)25の構造や表面活性に関係していると思われるが、とりわけ水の脱吸着の安定化に関係すると思われる。しかしながら、真空工程を経由しない加熱焼成を採用することにより、これらの不安定状態の経由を抑えることができる。

③原料の利用効率が高い等

また、スペーサ基体21の端面と側面間の境界領域(角部)を円弧状処理を施すなどの滑らかな連続面とすることによる効果としては、角部、即ち、スペーサ基体21の端面と側面の境界領域における低抵抗膜(電極)25の被覆率を向上させることができる。

【0257】このため、低抵抗膜(電極)25が、スペーサ基体21の端面と側面で分断されることが無く、両面の良好な電気的コンタクトを得ることができ、電子源としてスペーサを組み込んだ時に、スペーサ表面の帯電をFPおよびRPの基板面に効率的に逃すことができる。

【0258】以上のように簡便かつ低コストな作成プロセスを得られることが効果として挙げられる。これによって更に、スペーサおよび電子源の製造コストを低下させ、帯電による発光部の変位が抑えられた表示品位の高い画像表示装置を安価に提供するものである。

【0259】

【発明の効果】以上説明したように本発明によれば、真空減圧装置を必要とせず、低抵抗膜(電極)を付与したスペーサを容易に、かつ安価に作成できる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係るスペーサの形状を説明する図である。

【図2】本実施の形態に係るスペーサの低抵抗膜を付与方法を示す図である。

【図3】本実施の形態に係るスペーサの基板の断面形状と低抵抗膜の付与状態を説明する図である。

【図4】本実施の形態に係るスペーサの低抵抗膜の形成部の寸法の規定を説明する図である。

【図5】本実施の形態に係るスペーサの加熱延伸装置を説明する図である。

【図6】本発明の実施の形態との比較例に用いた低抵抗膜の気相形成過程の説明図である。

【図7】本発明の実施の形態に係る画像表示装置の表示パネルの一部を切り欠いて示した外観斜視図である。

【図8】本実施の形態で用いたマルチ電子源の基板の平面図である。

【図9】図8のマルチ電子源の基板のA-A'断面図である。

【図10】本実施の形態の表示パネルのフェースプレート蛍光体配列を例示した平面図である。

【図11】図7の表示パネルのA-A'断面図である。

【図12】本実施の形態で用いた平面型の表面伝導型放出素子の平面図(a)、断面図(b)である。

【図13】本実施の形態に係る平面型の表面伝導型放出素子の製造工程を示す断面図である。

【図14】通電フォーミング処理の際の印加電圧波形を示す図である。

【図15】通電活性化処理の際の印加電圧波形(a)、放電電流 I_e の変化(b)を示す図である。

【図16】本実施の形態で用いた垂直型の表面伝導型放出素子の断面図である。

【図17】垂直型の表面伝導型放出素子の製造工程を説明する断面図である。

【図18】本実施の形態で用いた表面伝導型放出素子の典型的な特性を示すグラフ図である。

【図19】本発明の実施の形態の画像表示装置の駆動回路の構成を示すブロック図である。

【図20】従来知られた表面伝導型放出素子の一例を示す図である。

【図21】従来知られたFE型素子の一例を示す図である。

【図22】従来知られたMIM型素子の一例を示す図である。

【図23】スペーサに低抵抗膜を付けた例を示す模式図である。

【図24】図23のA-A部での断面模式図である。

【図25】スペーサの端部を模式的に示した図である。

【図26】スペーサ基体またはスペーサの斜視図である。

【図27】スペーサに低抵抗膜を付けた例を示す模式図である。

【図28】母材からスペーサ母材を切り出す方法を示す模式図である。

【図29】本実施の形態に係るスペーサ基体への電極の形成方法の一例を示す模式図である。

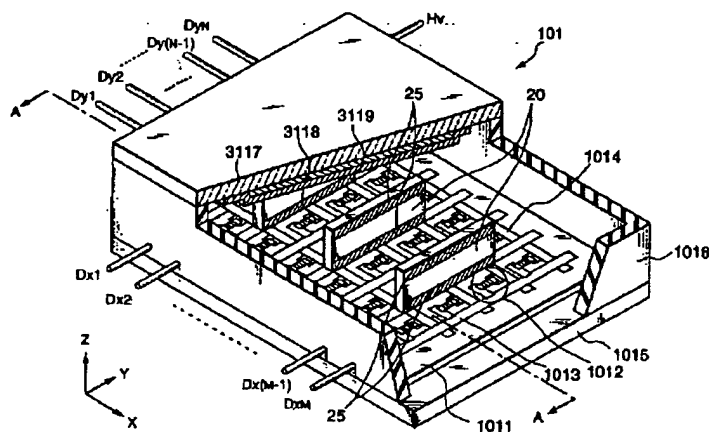
【図30】本実施の形態に係るスペーサ基体の製造装置の一例を示す模式図である。

【図31】スペーサ基体またはスペーサの斜視図である。

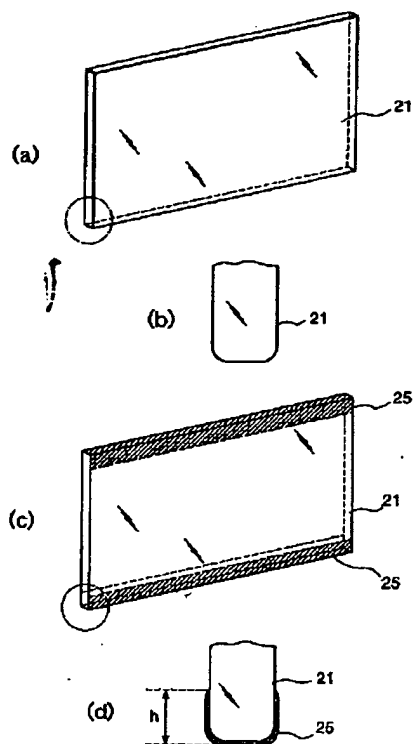
【図32】低抵抗膜の加工の様子を表す模式図である。

【図33】低抵抗膜の加工の様子を表す模式図である。

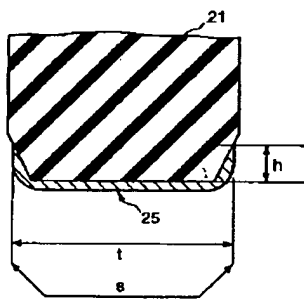
【図7】



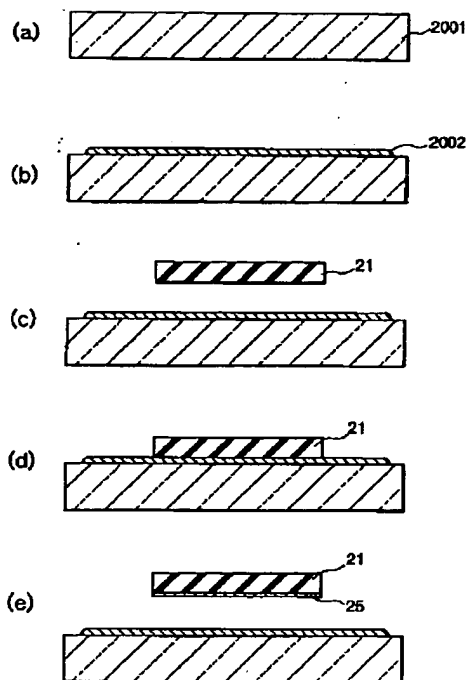
【図1】



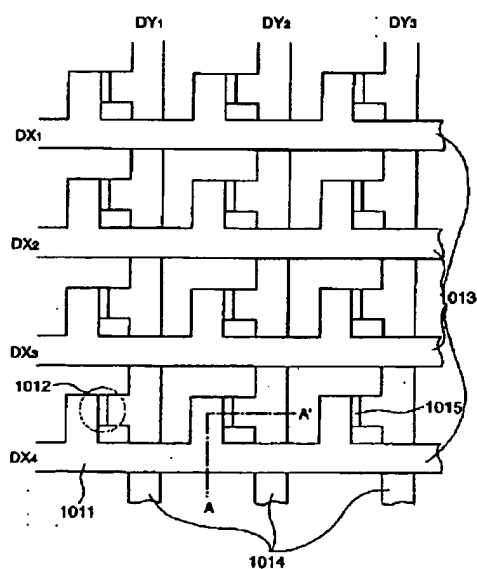
【図4】



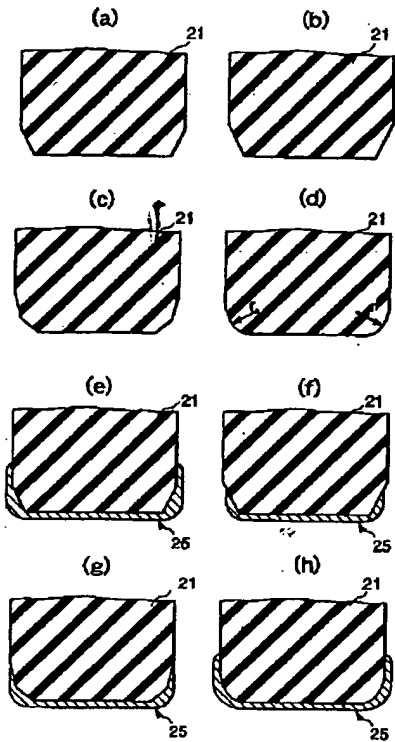
【図2】



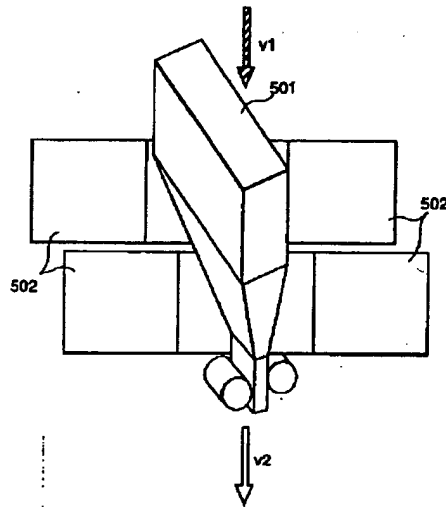
【図8】



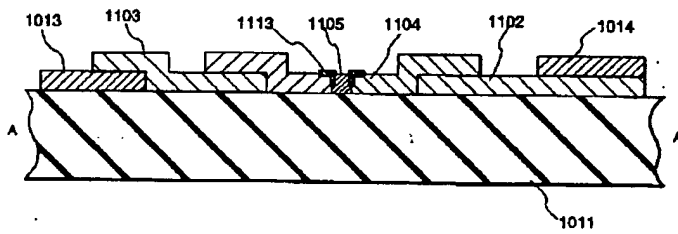
【図3】



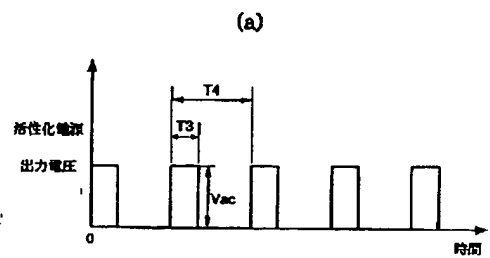
【図5】



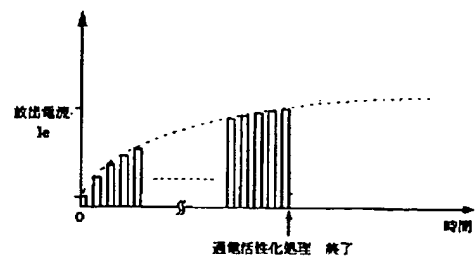
【図9】



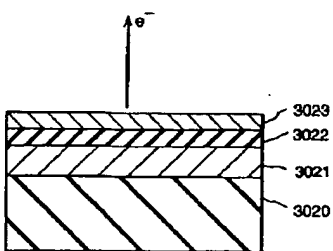
【図15】



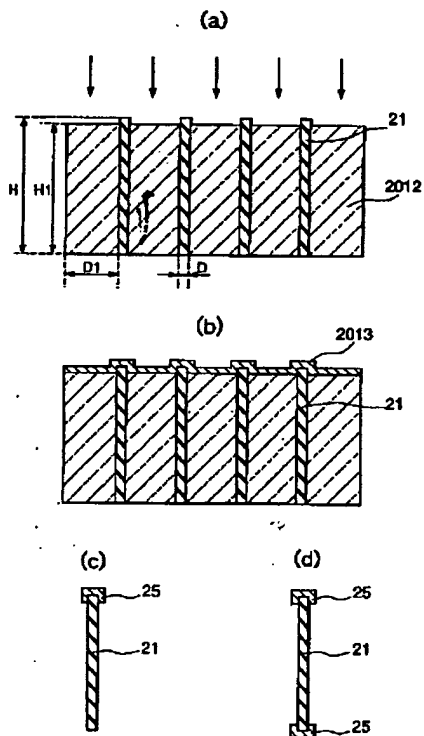
(b)



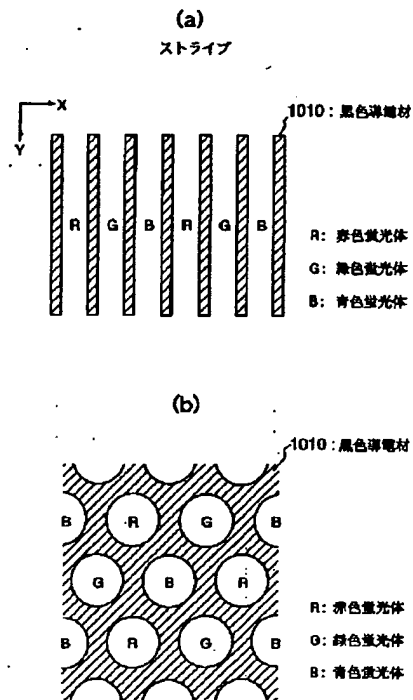
【図22】



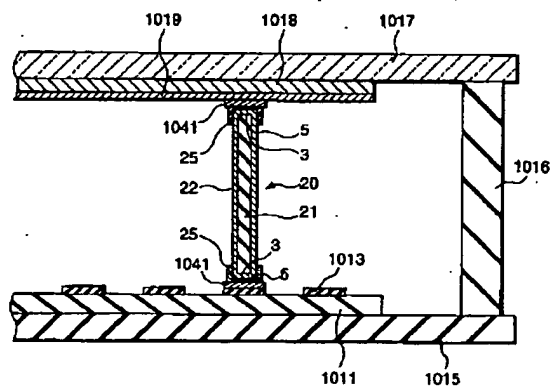
【図6】



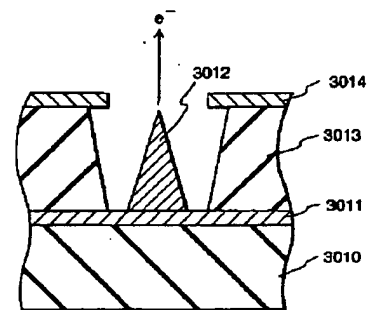
【図10】



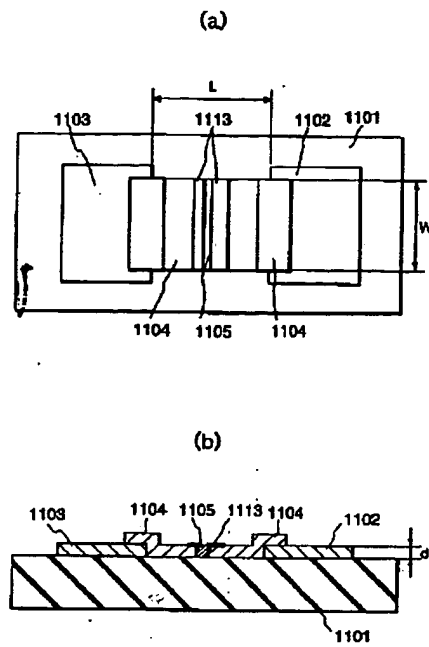
【図11】



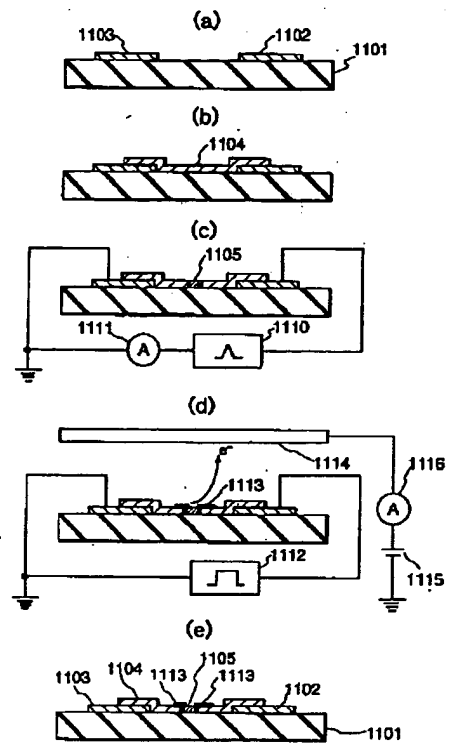
【図21】



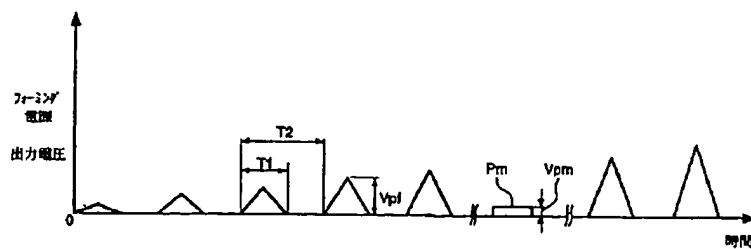
【図12】



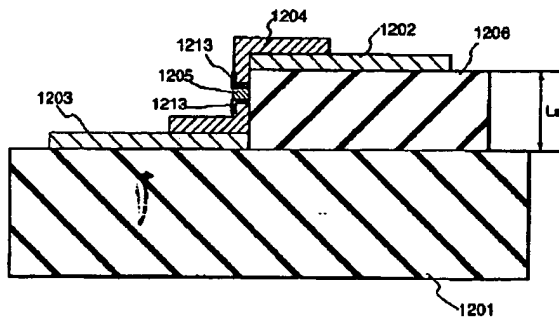
【図13】



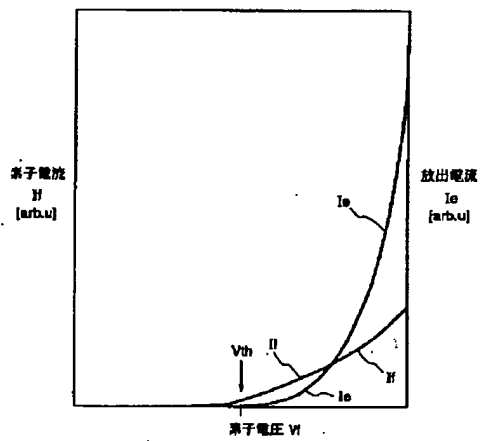
【図14】



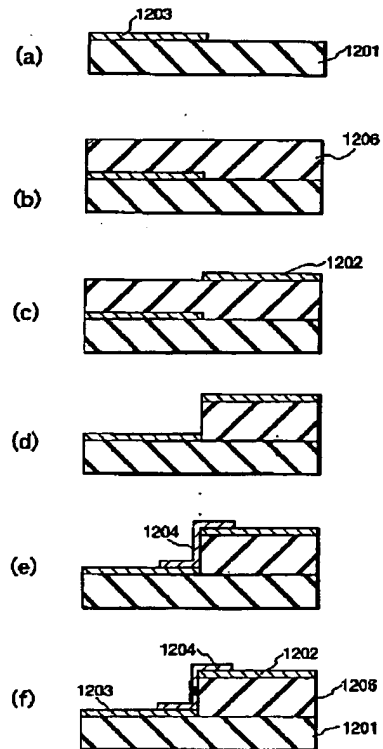
【例 16】



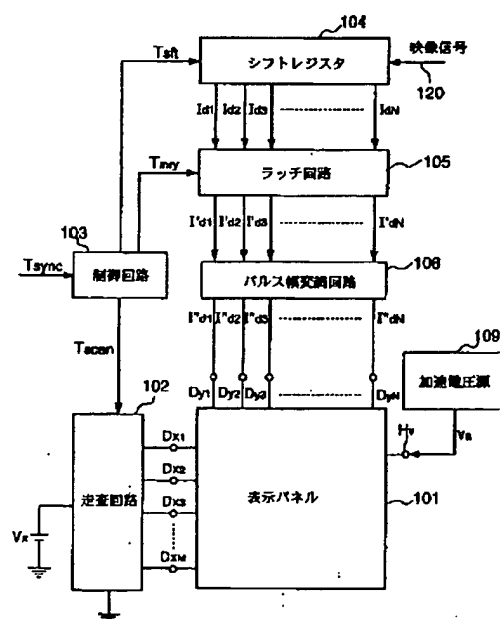
【図18】



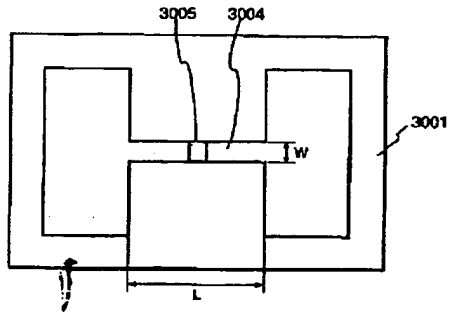
【図17】



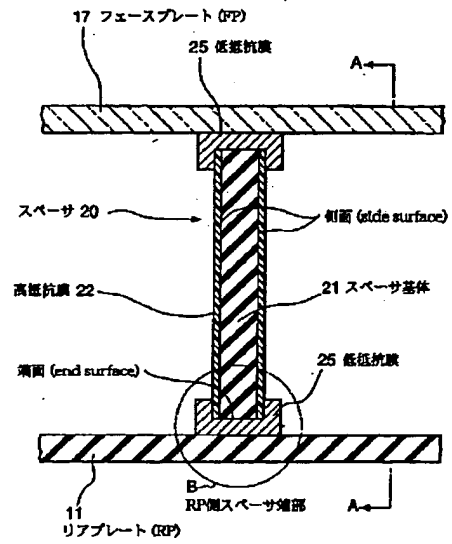
【图19】



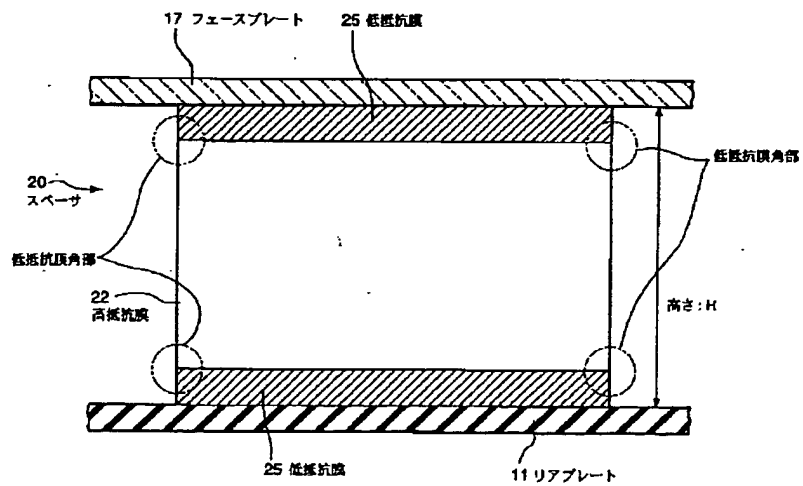
【図20】



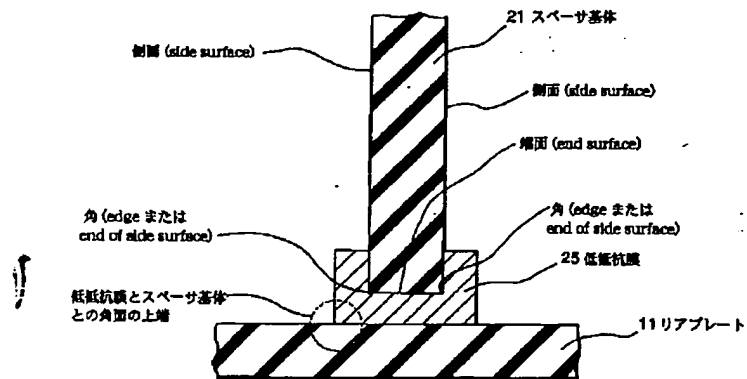
【図23】



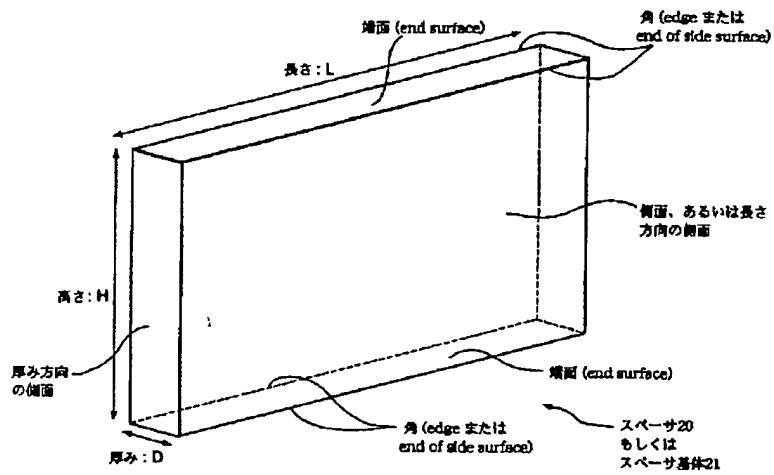
【図24】



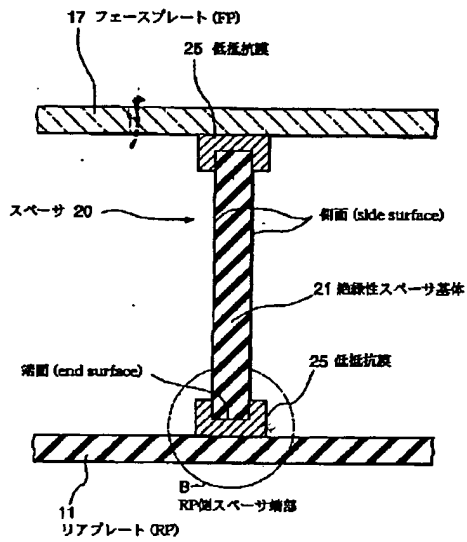
【図25】



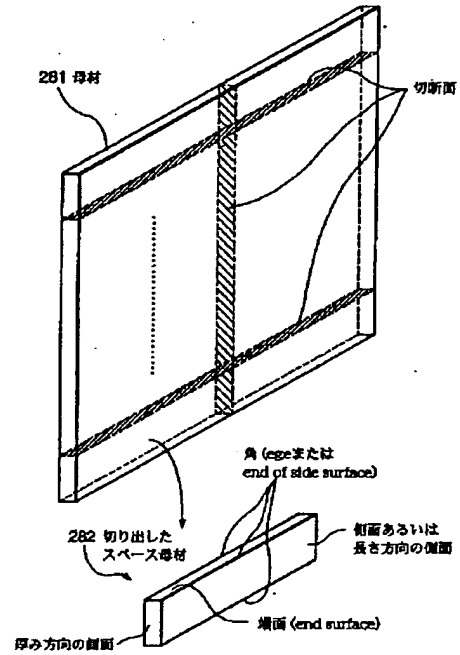
【図26】



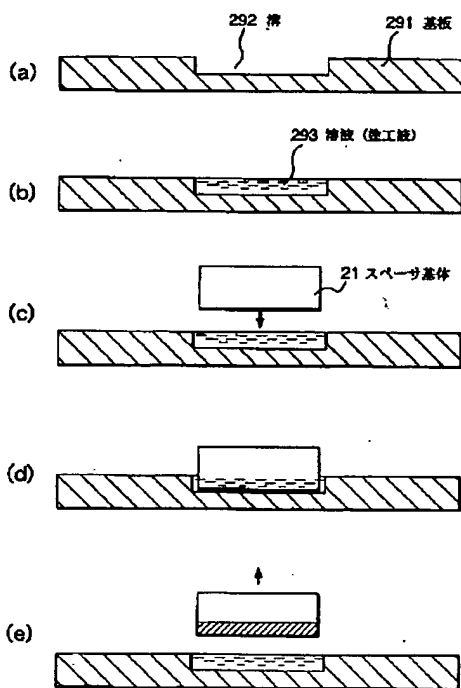
【図27】



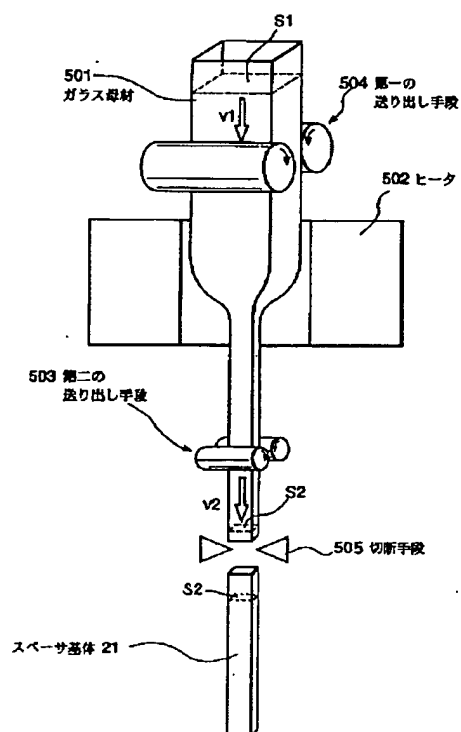
【図28】



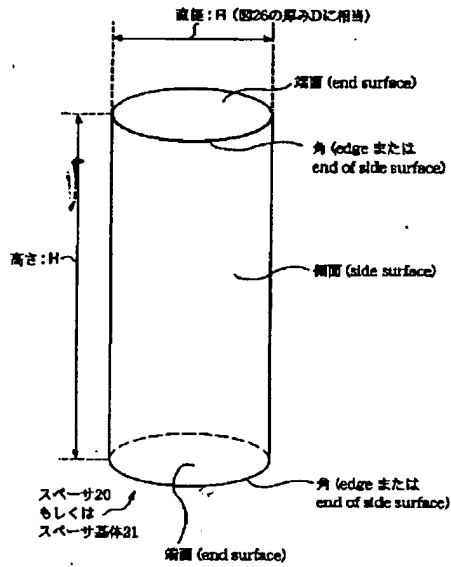
【図29】



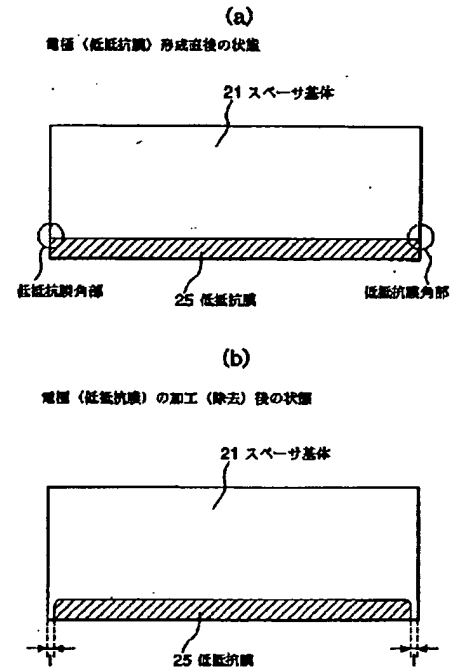
【図30】



【図31】



【図32】



【図33】

